

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002 年 9 月 6 日 (06.09.2002)

PCT

(10) 国際公開番号
WO 02/069251 A1

(51) 国際特許分類: G06K 19/077

(21) 国際出願番号: PCT/JP02/00536

(22) 国際出願日: 2002 年 1 月 25 日 (25.01.2002)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2001-55834 2001 年 2 月 28 日 (28.02.2001) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo (JP). アキタ電子株式会社 (AKITA ELECTRONICS CO., LTD.) [JP/JP]; 〒010-0193 秋田県南秋田郡天王町天王字長沼64 Akita (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 三浦 知巳 (MIURA, Tomomi) [JP/JP]; 〒010-0193 秋田県南秋田郡天王町天王字長沼64 アキタ電子株式会社内

Akita (JP). 嵯峨 徹 (SAGA, Toru) [JP/JP]; 〒010-0193 秋田県南秋田郡天王町天王字長沼64 アキタ電子株式会社内 Akita (JP). 佐藤 信衛 (SATO, Shinei) [JP/JP]; 〒010-0193 秋田県南秋田郡天王町天王字長沼64 アキタ電子株式会社内 Akita (JP). 伊藤 毅 (ITO, Takeshi) [JP/JP]; 〒010-0193 秋田県南秋田郡天王町天王字長沼64 アキタ電子株式会社内 Akita (JP).

(74) 代理人: 秋田 収喜 (AKITA, Shuki); 〒114-0013 東京都北区東田端1丁目13番9号 ツインビル田端B 2 階 Tokyo (JP).

(81) 指定国 (国内): CN, JP, KR, SG, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

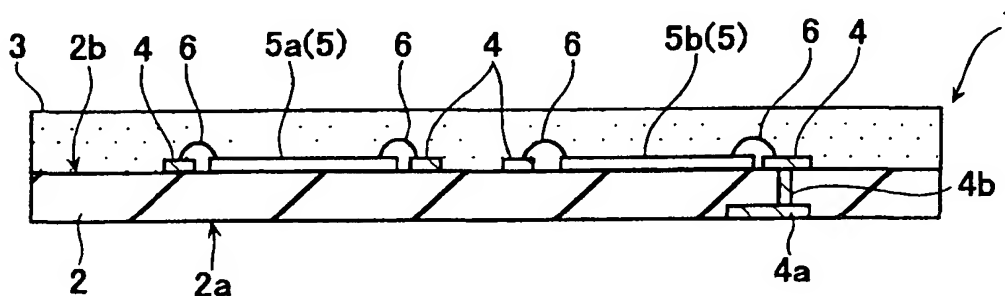
添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: MEMORY CARD AND ITS MANUFACTURING METHOD

(54) 発明の名称: メモリカード及びその製造方法



(57) Abstract: A low-cost memory card. It is an electronic device having a substrate with a wiring exposing external electrode terminals from a first face, a sealing section comprising an insulating resin so provided as to cover the whole of a second face serving as the back of the first face, and one or more semiconductor elements covered with the sealing section, fixed on the second face of the substrate, and an electrode of which is electrically connected to the wiring via a connecting means. The substrate is square and constitutes a card-type package together with the sealing section. The substrate has one or more semiconductor elements constituting a memory chip and a control chip for controlling the memory chip fixed to constitute a memory card. The edges of the substrate and the sealing section are provided with a directionality recognizing section.

[続葉有]



WO 02/069251 A1



(57) 要約:

安価なメモリーカードを提供するものである。第 1 の面に複数の外部電極端子を露出させる配線を有する基板と、前記第 1 の面の裏面となる第 2 の面全域を被うように設けられる絶縁性樹脂からなる封止部と、前記封止部に被われ、前記基板の第 2 の面に固定され、電極が接続手段を介して前記配線に電氣的に接続される 1 乃至複数の半導体素子を有する電子装置である。前記基板は四角形となり、前記基板と前記封止部によってカード型パッケージを構成している。前記基板には、メモリーチップを構成する 1 乃至複数の半導体素子と、前記メモリーチップを制御するコントロールチップが固定されてメモリーカードが構成されている。前記基板及び封止部の縁には方向性認識部が設けられている。

明 細 書

メモ리카ード及びその製造方法

技術分野

本発明は電子装置及びその製造方法に関し、例えば、カード内に I C
5 （集積回路）を組み込んだ半導体素子（半導体チップ）を内蔵したメモ
リカードの製造に適用して有効な技術に関する。

背景技術

デジタルカメラやオーディオプレーヤ等における記憶媒体として、S
10 D（セキュアデジタル）メモリーカード、メモリー・スティック（商標）、
マルチメディアカード（Multi Media Card：商標）等と呼称されるメモ
リカードが使用されている。これらのメモリーカードのうち、マルチ
メディアカードはその厚さが 1.4 mm 程度と薄いカードであることが
特徴である。

15 なお、出願番号 2000-22802 号の日本出願には、従来技術の
マルチメディアカードの構造について記載されている。

なお、特開平 8-156470 号公報には、I C モジュールの主面上
を被うカード基板を有する I C カードについて記載されている。

S D メモリーカードやメモリー・スティックといったメモリーカード
20 が、半導体チップを搭載した配線基板の全体を含むケースを有する構造
を採用するのに比較して、マルチメディアカードでは、非常に薄い構造
を実現するために、半導体チップを搭載した配線基板（C O B パッケージ）
の主面を被うキャップ形状のプラスチックケースを有する構造に採用
している。

ここで、図 4 3、図 4 4 に示すマルチメディアカード（メモリーカード）における C O B パッケージについて簡単に説明する。図 4 4 に示すように、メモリーカード 1 は一面に半導体素子 5 を複数搭載する配線基板（基板）2 と、前記半導体素子 5 等を被うプラスチックのケース 6 0 を有する。

半導体素子 5 としては、メモリーチップ 5 a や、このメモリーチップ 5 a を制御するコントロールチップ 5 b が基板 2 に固定されている。基板 2 の配線は一部しか図示しないが、半導体素子 5 の電極と配線は導電性のワイヤ 6 によって電氣的に接続されている。基板 2 の一面の前記半導体素子 5 やワイヤ 6 等はモールドによって形成される絶縁性樹脂からなる封止部 3 で被われている。

ケース 6 0 の一面には窪み 7 0 が設けられている。この窪み 7 0 は、基板 2 が収容できる浅い窪み 7 0 a と、前記封止部 3 が収容できる深い窪み 7 0 b とからなっている。そして、窪み底と基板 2 との間には接着剤 7 1 が介在されて基板 2 がケース 6 0 に接着される構造になっている。なお、図において 4 a は外部電極端子である。

しかし、従来のマルチメディアカードにおける C O B パッケージは、図 4 3、図 4 4 にあるようにその主面上に、半導体チップを封止する封止部が形成されて盛り上がった部分と、その周囲に広がる薄い基板部分とを有する構造であるために、C O B パッケージの主面を被うケースも、前記封止部が入る深い窪みと、封止部の周囲に広がる基板部分を入れる浅い窪みを有する構造となり、ケースと C O B パッケージとの組立工程における問題や、完成したメモリーカードにおける構造上の問題などを発生する要因となっていた。

本発明の目的は、安価な電子装置及びその製造方法を提供することにある。

本発明の他の目的は、安価なメモリーカード及びその製造方法を提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

5

発明の開示

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

(1) 第1の面及び前記第1の面の裏面となる第2の面を有するメモ
10 リーカードであって、

主面及び裏面を有する配線基板と、

前記配線基板の裏面上に形成された複数の外部電極端子と、

前記配線基板の主面上に形成された複数の配線と、

前記配線基板の主面上に配置されており、前記複数の配線を介して前
15 記複数の外部電極端子と電氣的に接続した半導体素子と、

前記配線基板の裏面上に形成されており、前記半導体素子を被う絶縁性樹脂からなる封止部とを有しており、

前記複数の外部電極端子及び前記配線基板の裏面は前記メモリーカードの第1の面に露出しており、

20 前記封止部は前記メモリーカードの第2の面に露出していることを特徴とする。

このようなメモリーカードは、

(a) 主面上に単位基板領域を有し、かつ裏面上に複数の外部電極端子を有する配線基板を準備する工程と、

25 (b) 前記単位基板領域に半導体チップを配置し、前記半導体チップを前記複数の外部電極端子と電氣的に接続する工程と、

(c) 前記単位基板領域、及びその周囲の配線基板の主面上に、前記半導体チップを封止する封止体を形成する工程と、

(d) 前記封止体及び前記配線基板を、前記単位基板領域とその周囲との間で同時に切断し、前記単位基板領域の配線基板、単位基板領域上の封止部、半導体チップ及び複数の外部電極端子によって構成される個片部を形成する工程と、

(e) 窪みを有するケースを準備する工程と、

(f) 前記窪みの底部に、前記封止部を接着し、前記個片部を前記窪みの内部に固定する工程とを有する製造方法によって製造される。

10

図面の簡単な説明

図 1 は本発明の一実施形態（実施形態 1）であるメモリーカードの模式的断面図である。

図 2 は本実施形態 1 のメモリーカードの裏面を示す底面図である。

15 図 3 は本実施形態 1 のメモリーカードの斜視図である。

図 4 は本実施形態 1 のメモリーカードを裏返した状態の斜視図である。

図 5 は本実施形態 1 のメモリーカードの製造各工程の状態を示す断面図等である。

20 図 6 は本実施形態 1 のメモリーカードの製造において使用するマトリックス基板の底面図である。

図 7 は前記マトリックス基板の模式的正面図である。

図 8 は本実施形態 1 のメモリーカードの製造において、単位配線領域に搭載された半導体素子の状態を示す模式的平面図である。

25 図 9 は本実施形態 1 のメモリーカードの製造において、マトリックス基板の一面にモールド体を形成する状態を示す模式的断面図である。

図 10 は本実施形態 1 のメモリーカードの製造におけるモールド時

の樹脂の供給状態を示す下面側から見た模式図である。

図 1 1 は本実施形態 1 のメモリーカードの製造における他の基板切断方法を示す模式図である。

図 1 2 は本発明の他の実施形態（実施形態 2）であるメモリーカード
5 の模式的断面図である。

図 1 3 は本発明の他の実施形態（実施形態 3）であるメモリーカードの裏返し状態の斜視図である。

図 1 4 は本実施形態 3 のメモリーカードの裏返し状態の模式的断面図である。

10 図 1 5 は本実施形態 3 のメモリーカードの製造において使用するマトリックス基板の底面図である。

図 1 6 は本実施形態 3 のメモリーカードの製造各工程の状態を示す断面図である。

図 1 7 は本発明の他の実施形態（実施形態 4）であるメモリーカード
15 の裏返し状態の断面図である。

図 1 8 は本実施形態 4 のメモリーカードの底面図である。

図 1 9 は本実施形態 4 のメモリーカードの製造における半導体素子の取り付け状態を示す斜視図である。

図 2 0 は本実施形態 4 のメモリーカードの製造における半導体素子の
20 の取り付け状態の一例を示す部分的断面図である。

図 2 1 は本実施形態 4 のメモリーカードの製造における半導体素子の取り付け状態の他の例を示す部分的断面図である。

図 2 2 は本発明の他の実施形態（実施形態 5）であるメモリーカードの裏返し状態の断面図である。

25 図 2 3 は本実施形態 4 のメモリーカードの底面図である。

図 2 4 は本発明の他の実施形態（実施形態 6）であるメモリーカード

の裏返し状態の斜視図である。

図 2 5 は本実施形態 6 のメモリーカードの裏返し状態の断面図である。

図 2 6 は本実施形態 6 のメモリーカードの製造各工程の状態を示す
5 断面図である。

図 2 7 は本実施形態 6 のメモリーカードの製造においてケースに C
O B パッケージを取り付ける状態を示す斜視図である。

図 2 8 は本発明の他の実施形態（実施形態 7）であるメモリーカード
の裏返し状態の斜視図である。

10 図 2 9 は本実施形態 7 のメモリーカードの裏返し状態の断面図であ
る。

図 3 0 は本実施形態 7 のメモリーカードの製造各工程の状態を示す
断面図である。

図 3 1 は本実施形態 7 のメモリーカードの製造においてケースに C
15 O B パッケージを取り付ける状態を示す斜視図である。

図 3 2 は本実施形態 7 の変形例によるメモリーカードの裏返し状態
の断面図である。

図 3 3 は本実施形態 7 の変形例によるメモリーカードの底面図であ
る。

20 図 3 4 は本発明の他の実施形態（実施形態 8）であるメモリーカード
の裏面を示す底面図である。

図 3 5 は本実施形態 8 のメモリーカードの裏返し状態の断面図であ
る。

図 3 6 は本発明の他の実施形態（実施形態 9）であるメモリーカード
25 の裏返し状態の断面図である。

図 3 7 は本実施形態 9 のメモリーカードの底面図である。

図 3 8 は本実施形態 9 のメモリーカードの構成部品である C O B パッケージの製造におけるチップボンディングからワイヤボンディングに至る各工程の状態を示す断面図である。

5 図 3 9 は本実施形態 9 のメモリーカードの構成部品である C O B パッケージの製造におけるトランスファモールドの各段階での状態を示す断面図である。

図 4 0 は本実施形態 9 のメモリーカードの構成部品である C O B パッケージの製造におけるマトリックス基板の分断に係わる各段階の状態を示す断面図である。

10 図 4 1 は本実施形態 9 のメモリーカードの製造において使用するマトリックス基板の底面図である。

図 4 2 は本実施形態 9 のメモリーカードの製造においてケースに C O B パッケージを取り付ける状態を示す斜視図である。

図 4 3 は本出願人の提案によるメモリーカードの平面図である。

15 図 4 4 は図 4 3 の A - A 線に沿う断面図である。

発明を実施するための最良の形態

本発明をより詳細に説明するために、添付の図面に従ってこれを説明する。なお、発明の実施の形態を説明するための全図において、同一機能
20 能を有するものは同一符号を付け、その繰り返しの説明は省略する。

(実施形態 1)

本実施形態 1 は、電子装置として、メモリーチップを構成する 1 乃至複数の半導体素子を基板に搭載するとともに、前記メモリーチップを制御するコントロールチップを搭載するメモリーカードに本発明を適用し
25 た例について説明する。メモリーチップとしての半導体素子は、例えば、フラッシュメモリ〔Flash Memory E E P R O M (Electrically Erasable

Programmable Read On Memory)) を搭載し、例えば、32MBあるいは64MBの大容量のマルチメディアカードを構成する。

図1乃至図10は本発明の一実施形態（実施形態1）であるメモリーカードに係わる図である。図1乃至図4はメモリーカードの外観及びその断面構造に関する図であり、図5乃至図10はメモリーカードの製造に関する図である。

本実施形態1のメモリーカード1は、外観的には、図3及び図4に示すように、四角形の基板2と、この基板2の一面（例えば、第2の面2bに張り合わせるように形成される封止部3とからなっている。封止部3はトランスファモールドによって形成され、基板2の第2の面2b全

10 域に均一の厚さで形成されている。封止部3は、例えば、エポキシ樹脂によって形成されている。

基板2のサイズは、例えば、長さ32mm、幅24mm、厚さ1.4mmとなり、基板2の厚さは0.6mmとなる。従って、封止部3の厚

15 さは0.8mmに形成されている。

基板2は、例えばガラスエポキシ樹脂配線板からなり、表裏面は勿論のこととして内部にも配線4が形成されている。第2の面の裏側となる第1の面2aには配線4によって電極4aが設けられている。この外部電極端子4aは基板2の一辺に沿って並んで配置され、メモリーカード

20 1の外部電極端子4aとなる。即ち、メモリーカード1を、例えば、デジタルカメラのスロットに挿入した場合、前記外部電極端子4aはスロット内の電極端子と接触するようになる。

この外部電極端子4aは基板2を貫通するスルーホール内に充填された配線からなる導体4bを介して第2の面の配線4に電氣的に繋がっ

25 ている。

基板2の第1の面2aには、半導体素子5が固定されている。この半

導体素子 5 は図示しないが接着剤を介して基板 2 に固定されている。また、基板 2 の第 2 の面 2 b 上に前記配線を形成する際、この配線材料で素子搭載パッドを形成し、この素子搭載パッド上に接着剤を介して半導体素子 5 を形成してもよい。

- 5 半導体素子 5 として、例えば、メモリーチップ 5 a と、このメモリーチップ 5 a を制御するコントロールチップ 5 b が基板 2 に固定される。半導体素子 5 の上面には電極（図示せず）が設けられている。この電極と半導体素子 5 の周囲に延在する所定の配線 4 は導電性のワイヤ 6 で電気的に接続されている。ワイヤ 6 は例えば、金線が使用されている。
- 10 メモリーカード 1 は、基板 2 の第 2 の面 2 b に半導体素子 5 を搭載し、第 2 の面 2 b を封止部 3 で被う構造からなり、いわゆる COB パッケージ構造となっている。

15 また、封止部 3 はトランスファモールドによって形成されるが、このトランスファモールド時、図 3 に示すように、円弧断面の溝 7 が外部電極端子 4 a が設けられる端とは反対側となる短辺に沿って設けられている。この溝 7 はメモリーカード 1 をスロットに挿入した後のメモリーカード 1 を引き出す際に使用される引出し用溝となる。即ち、メモリーカード 1 の使用後、使用者はこの溝 7 の縁に指先や爪を引っかけて容易にメモリーカード 1 をスロットから抜き出すことができる。

- 20 また、スロットに挿入する先端の 1 端は斜めに切り欠かれて方向性認識部 8 が形成されている。さらに、封止部 3 の平坦な表面にはメモリーカード 1 の機能や製品内容等が記載されたシール 9 が貼り付けられている。

25 つぎに、本実施形態 1 のメモリーカード 1 の製造方法について、図 5 乃至図 10 を参照しながら説明する。図 5 (a) ~ (f) はメモリーカードの製造各工程の状態を示す断面図等であり、マトリックス状の基板

(以下マトリックス基板と呼称)用意(a)、チップボンディング(b)、モールド(c)、マトリックス基板分離(d)、(e)、方向性認識部形成(f)の図である。

最初に、図6及び図7に示すように、マトリックス基板2fを用意する。図6はマトリックス基板2fを裏返しにした図、即ちマトリックス基板2fの底面図であり、図7はマトリックス基板の模式的正面図である。

マトリックス基板2fは、ガラスエポキシ樹脂配線板からなるとともに、縦横に単位基板領域15が形成されている。図において示す点線枠で示す各部が単位基板領域15であり、基板2の構造になっている。このマトリックス基板2fの各単位基板領域15には半導体素子が搭載され、かつ所定部分のワイヤボンディングが行われ、トランスファモールドによってモールド体が全ての単位基板領域15を被うように形成された後、点線に沿ってマトリックス基板2fとモールド体を切断して各単位基板領域15ごとに分離することによって多数のメモリーカード1が製造される。

本実施形態1では、3列5行、合計で15の単位基板領域15が用意されたマトリックス基板2fが使用される。各単位基板領域15の構造は、既に説明した基板2の構造である。従って、マトリックス基板2fの厚さは0.8mmであり、単位基板領域15の大きさは長さ32mm、幅24mmの長方形である。図6には、第1の面2aが現れていることから、各単位基板領域15の外部電極端子4aが現れている。

また、単位基板領域15の一隅には打ち抜きによる貫通孔16が設けられている。この貫通孔16は直角三角形となり、その斜面部分がメモリーカード1の方向性認識部8を形成することになる。

マトリックス基板2fは、特に限定はされないが、多層構造のガラス

エポキシ樹脂配線板である。単位基板領域 1 5 は前述の基板 2 であることから、表裏面は勿論のこととして内部にも配線が形成されているが、ここでは各配線は省略してある。

このようなマトリックス基板 2 f に対して、図 5 (b) 及び図 8 に示すように、チップボンディングが行われ、半導体素子 5 が固定される。半導体素子 5 として、メモリーチップ 5 a と、このメモリーチップ 5 a を制御するコントロールチップ 5 b を固定する。半導体素子 5 は図示しないが接着剤を介してマトリックス基板 2 f に固定される。また、マトリックス基板 2 f の第 2 の面 2 b 上に配線を形成する際、この配線材料で素子搭載パッドを形成し、この素子搭載パッド上に接着剤を介して半導体素子を形成してもよい。搭載された半導体素子 5 の表面には、図示はしないが電極が設けられている。なお、半導体素子 5 の厚さは、0.28 mm 程度である。

つぎに、図 8 に示すように、各半導体素子 5 の電極 1 8 とマトリックス基板 2 f の表面の配線部分であるワイヤボンディングパッド 4 c を導電性のワイヤ 6 で接続する。ワイヤ 6 は、例えば、直径 27 μ m 程度の金線からなっている。半導体素子 5 と配線を結ぶワイヤ 6 の高さは低く制御され、つぎの工程で形成されるモールド体で確実に被われるようにする。半導体素子 5 の電極 1 8 と配線を接続する接続手段は他の構成でもよい。

つぎに、図 5 (c) に示すように、トランスファモールドによってマトリックス基板 2 f の第 2 の面 2 b に一定厚さのモールド体 3 a (封止部 3) を形成する。モールド体 3 a は、例えば、エポキシ樹脂によって形成され、厚さ (高さ) 0.6 μ m に形成される。図 9 はマトリックス基板の一面にモールド体を形成する状態を示す模式的断面図であり、図 10 はモールド時の樹脂の供給状態を示す下面側から見た模式図である。

図 9 に示すように、モールド金型 20 の下型 21 と上型 22 との間にワイヤボンディングが終了したマトリックス基板 2f を型締めし、下型 21 に設けたポット 23 内に樹脂タブレットを入れ、下型 21 や上型 22 に組み込まれた図示しないヒータによる熱によって溶けだした樹脂 24 を、プランジャ 25 の突き上げによって上型 22 に設けたカル 26 内に送りだす。カル 26 からは、図 10 に示すようにランナー 27 が延在している。このランナー 27 は、下型 21 と上型 22 による型締めによって形成されたキャビティ 28 にゲート 29 を介して繋がっている。キャビティ 28 はマトリックス基板 2f の全ての単位基板領域 15 を含む大きさに形成されている。

本実施形態 1 によるモールド金型 20 では、ポット 23 は 2 本設けられ、カル 26 からはそれぞれ 2 本のランナー 27 が延在して単一なキャビティ 28 に連通している。また、キャビティ 28 にはキャビティ 28 内に注入される樹脂 24 によって押し出される空気をキャビティ外に案内するエアーベント 30 が設けられている。また、上型 22 にはメモリーカード 1 の溝 7 を形成するための突条 31 が設けられている。

従って、図 9 に示すように、モールド金型 20 の型締めによってマトリックス基板 2f を保持した後、ポット 23 内に予備加熱された樹脂タブレットをそれぞれ入れるとともに、プランジャ 25 で突き上げて溶けた樹脂 24 をキャビティ 28 内に注入して、図 5 (c) に示すようなモールド体 3a (封止部 3) を形成する。図 5 (c) はモールド金型 20 から取り出したマトリックス基板 2f を示す断面図である。

つぎに、図 5 (d), (e) に示すように、図示しないダイシング装置のステージ 35 上に後に容易に除去できる接着剤 33 を用いて固定し、その後回転するダイシングブレード 36 (例えば、厚さ 200 μm) でマトリックス基板 2f を縦横に切断する。図 5 (d), (e) はマトリッ

クス基板 2 f を横方向（メモリーカード 1 の幅方向）に切断する状態を示す。横方向の切断が終了した後、ステージ 3 5 を 90 度回転させた後、縦方向（メモリーカード 1 の長さ方向）の切断を行う。これにより、基板 2 の第 2 の面 2 b に封止部 3 を張りつけた構造のメモリーカード 1 が
5 略形成される。切断は図に示すような 1 枚のダイシングブレード 3 6 を用いて行う方法、または所定間隔に設定された複数枚のダイシングブレード 3 6 を用いて所定領域または全領域を切断する方法によって行う。

つぎに、長方形となったものの 1 隅、即ち、マトリックス基板 2 f の状態で貫通孔 1 6 が設けられていた封止部部分を方向性認識部 8 に沿う
10 ように切断し、図 5（f）に示す方向性認識部（インデックス）8 が付いたメモリーカード 1 を製造する。このメモリーカード 1 の基板 2 の第 2 の面 2 b にはシール 9 が張りつけられて使用可能なメモリーカード 1 が製造されることになる。

モールド体 3 a（封止部 3）の切断、即ち、単位基板領域 1 5 ごとの
15 分離は、ダイシングブレードによる切断以外の方法でもよい。例えば、ルータ（エンドミル）の回転する剪断刃を、図 1 1 の矢印 3 7 に示すように製品であるメモリーカードの輪郭線に沿うように移動してモールド体 3 a 及びマトリックス基板 2 f を切断する。

この際、ルータによる切断によって、メモリーカード 1 の方向性認識
20 部（インデックス）8 を形成することもできる。またルータでの切断によれば、ダイシングによって切断する場合と比較して、例えば方向性認識部（インデックス）8 の加工など、隣接するメモリーカード 1 のパターンと直線でつながらない部分でもメモリーカード 1 の個片化工程で同時に切断することができる。

25 本実施形態 1 によれば以下の効果を有する。

（1）マトリックス基板 2 f の一面の各单位基板領域 1 5 に所定の半

導体素子 5 を搭載した後、一括してモールドを行い、その後、モールド体 3 a と共にマトリックス基板 2 f を縦横に切断することによって電子装置（メモリーカード）を製造できるため、従来のこの種製品の製造工数に比較して工数が少なくなり、電子装置（メモリーカード）のコスト
5 低減が達成できる。

（２）ケースを有さない構造のメモリーカード 1 においては、基板上に半導体素子を搭載することが可能な領域が広くなり、またモールド樹脂の厚さも大きくなる。従って、より大きなサイズの半導体素子 5 の搭載が可能になるとともに、半導体素子 5 の積層化が容易になる。従って、
10 メモリーカード 1 の高機能化、大容量化が可能となる。

（３）配線を有する基板 2 をパッケージを構成する一部材とし、かつ露出する基板 2 の一面に設けた電極 4 a をそのまま電子装置（メモリーカード）の外部電極端子 4 a とすることができる。

（実施形態 2）

15 図 1 2 は本発明の他の実施形態（実施形態 2）であるメモリーカードの模式的断面図である。本実施形態 2 では、前記実施形態 1 において、図 1 2 に示すように、基板 2 の半導体素子 5 が固定される素子固定領域を一段窪んだ窪み 4 0 とするとともに、この窪み底に固定した半導体素子 5 の上にさらに半導体素子 5 を固定した構造となっている。

20 上段の半導体素子 5 においても、その電極は基板 2 の配線に接続する必要があることから、下段の半導体素子の電極が露出するようにずらして上段の半導体素子を重ねて固定する。チップボンディング後には、各半導体素子 5 の電極は、ワイヤ 6 によって基板 2 の配線 4 に接続される。ワイヤ 6 を接続する配線 4（ワイヤボンディングパッド）は、図 1 2 の
25 場合と異なり、半導体素子 5 を固定する窪み 4 0 の底に配置することも可能である。

本実施形態 2 では、基板 2 に固定した半導体素子 5 の上にさらに一段以上重ねて半導体素子 5 を固定するものである。半導体素子 5 を多段に搭載することによって、メモリーカード 1（電子装置）の高機能化が達成できる。また、半導体素子 5 としてメモリーチップを多段に搭載して
5 増加させることによって、メモリーの大容量化が達成できる。

（実施形態 3）

図 1 3 乃至図 1 6 は本発明の他の実施形態（実施形態 3）であるメモリーカードに係わる図である。図 1 3 はメモリーカードの裏返し状態の斜視図であり、図 1 4 はメモリーカードの裏返し状態の模式的断面図で
10 ある。

本実施形態 3 は基板の表面または裏面、即ち、第 1 の面または第 2 の面に端から端に亘って幅広の溝を設け、この溝底に半導体素子を固定するとともに、半導体素子の電極と配線とをワイヤで接続し、かつ溝を埋め戻すように絶縁性樹脂で塞ぐ構成である。溝は基板の第 1 の面に配列
15 される外部電極端子の配列方向に沿って設けられる。溝を埋める絶縁性樹脂による封止部はトランスファモールドによって形成され、その形成においては溝の一端から他端に流れるようにして形成される。これは、実施形態 1 の場合と同様に、1 枚のマトリックス基板を縦横に分割して同時に複数のメモリーカードを製造するためである。半導体素子の電極
20 に一端が接続されるワイヤが接続される配線は、第 1 の面または第 2 の面だけでなく溝底に配置してもよい。なお、これ以降の図においては、ワイヤボンディング用の配線等、一部を省略した図を用いて説明する場合がある。

本実施形態 3 のメモリーカード 1 は、図 1 3 及び図 1 4 に示すように、
25 実施形態 1 のメモリーカード 1 と異なり、第 2 の面 2 b には封止部が設けられず、外部電極端子 4 a が設けられる第 1 の面 2 a 側に封止部 3 c

が設けられている。封止部 3 c は第 1 の面 2 a に設けられる溝 4 5 を埋め戻すように形成される絶縁性樹脂によって形成されている。溝 4 5 は外部電極端子 4 a の配列方向に沿い、かつ基板 2 の全長（全幅）に亘って設けられている。

- 5 封止部 3 c はトランスファモールドによって形成されるとともに、後述するようにマトリックス基板の切断と共に切断されて形成される。封止部 3 c の上面はモールド金型の平坦面に規定されて平坦となるとともに、前記モールド金型の平坦面は溝 4 5 を塞ぐとともに、溝 4 5 の両側の第 1 の面 2 a に接触するため、封止部 3 c の平坦な表面と第 1 の面 2 a は略同一平面上とに位置するようになる。また、封止部 3 c の溝 4 5
10 の端に現れる側面は、マトリックス基板を切断する時にダイシングブレードで同時に切断されて形成されるため、基板 2 の側面と封止部 3 c の側面も同じ平面上に位置する。

- 封止部 3 c 内には、実施形態 1 と同様に半導体素子 5 としてメモリーチップ 5 a やコントロールチップ 5 b が固定され、かつ半導体素子 5 の電極と基板 2 の配線がワイヤ 6 を介して電氣的に接続されている。
15

- 本実施形態 1 のメモリーカード 1 はその外形は実施形態 1 と同じ寸法であるが、基板 2 の第 1 の面 2 a に溝 4 5 を設け、この溝 4 5 の溝底に半導体素子 5 を固定し、封止部 3 c で被う構造となることから、基板
20 2 の厚さは実施形態 1 の場合に比較して厚くなるが、基板 2 の第 2 の面 2 b に封止部を設けないことから、全体の厚さは薄くできる特長がある。基板 2 の厚さは、例えば 0.8 mm と薄くなる。溝 4 5 の深さは例えば 0.6 mm となる。従って、メモリーカード 1 の薄型化を図ることができる。

- 25 本実施形態 3 の場合も実施形態 2 と同様に、基板 2 の素子固定領域を一段窪ませてその窪み底に半導体素子を固定する構造の採用も、また半

導体素子の上に半導体素子を一段以上重ねて搭載する多段搭載構造も同様に適用でき、実施形態 1 と同様の高機能化、大容量化及び薄型化を図ることができる。また、この構造は以下の各実施形態でも採用できる。

本実施形態 3 のメモリーカード 1 は、以下の方法によって製造される。

5 図 1 5 はメモリーカードの製造において使用するマトリックス基板の底面図であり、図 1 6 はメモリーカードの製造各工程の状態を示す断面図である。

本実施形態 3 のメモリーカードの製造においては、実施形態 1 と同様にマトリックス基板を使用するが、このマトリックス基板 2 g は図 1 5
10 及び図 1 6 (a) に示すように第 1 の面 2 a に溝 4 5 を設けた点が異なる。マトリックス基板 2 g は 3 行 5 列の配置で単位基板領域 1 5 が設けられているが、前記溝 4 5 は列方向、即ち、一列に並ぶ外部電極端子 4 a の配列方向に沿って各单位基板領域 1 5 を横切るように 3 本設けられている。従って、各单位基板領域 1 5 において溝 4 5 の両側に第 1 の面
15 2 a が存在する構造になる。マトリックス基板 2 g はその厚さが 0.8 mm となり、溝 4 5 の深さは 0.6 mm になっている。

メモリーカード 1 を製造する場合、図 1 6 (a) に示すように、溝 4 5 を有するマトリックス基板 2 g を用意し、その後、図 1 6 (b) に示すように、各单位基板領域 1 5 の溝 4 5 の底に図示しない接着剤（銀ペースト等）を用いて半導体素子 5 を固定する。半導体素子 5 として、メモリーチップ 5 a と、このメモリーチップ 5 a を制御するコントロール
20 チップ 5 b を固定する。

つぎに、図 1 6 (b) に示すように、各半導体素子 5 の図示しない電極とマトリックス基板 2 f の表面の図示しない配線（ワイヤボンディング
25 グパッド）を導電性のワイヤ 6 で接続する。

つぎに、図 1 6 (c) に示すように、トランスファモールドによって

マトリックス基板 2 g の第 1 の面 2 a に設けられた溝 4 5 部分のみを絶縁性樹脂からなるモールド体 3 a で塞ぐ。このモールド体 3 a により半導体素子 5 やワイヤ 6 は被われる。このトランスファモールドでは、実施形態 1 と同様にトランスファモールドで封止（モールド）が行われるが、モールド型の一方、例えば、上型のパーティング面は平坦な面となり、この平坦な面が溝 4 5 を塞ぐようにしてマトリックス基板 2 f の第 1 の面 2 a に接触する。そして、3 本の各溝 4 5 の一端側から樹脂が送りこまれる。樹脂は溝 4 5 に沿って流れ、5 個の単位基板領域 1 5 の溝 4 5 部分を全て塞ぐようになる。この結果、封止部 3 c は均一の厚さ（高さ）となるとともに、その平坦な表面と第 1 の面 2 a は略同一平面上に位置することになる。

つぎに、図 1 6（d）に示すように、図示しないダイシング装置のステージ 3 5 上に接着剤 3 3 を用いてマトリックス基板 2 g を固定した後、回転するダイシングブレード 3 6 でマトリックス基板 2 g を縦横に切断する。図 1 6（d）はマトリックス基板 2 g を横方向（メモリーカード 1 の幅方向）に切断する状態を示す。横方向の切断が終了した後、ステージ 3 5 を 90 度回転させた後、図 1 6（e）に示すように、縦方向（メモリーカード 1 の長さ方向）の切断を行う。切断は一枚のダイシングブレードによって順次行われるか、複数枚のダイシングブレードによる一回または数回の切断で行われる。

これにより、基板 2 の第 1 の面 2 a の溝 4 5 部分に封止部 3 c を形成したメモリーカード 1 が略形成される。

つぎに、長方形となったものの 1 隅、即ち、マトリックス基板 2 g の状態で貫通孔 1 6 が設けられていた封止部部分を方向性認識部 8 に沿うように切断し、図 1 3 に示す方向性認識部（インデックス）8 が付いたメモリーカード 1 を製造する。このメモリーカード 1 の基板 2 の第 2 の

面 2 b にはシールが張りつけられて使用可能なメモリーカード 1 が製造されることになる。

本実施形態 3 では、基板 2 の一部に溝 4 5 を設け、この溝底に半導体素子 5 を搭載し、溝 4 5 を絶縁性の樹脂で埋めることから、樹脂の使用
5 量の削減ができ、メモリーカード 1 のコストの低減が達成できる。

また、本実施形態 3 では、マトリックス基板の切断において、外部電極端子 4 a の配列方向の切断はマトリックス基板のみの切断となり、相互に異なる材質である基板と樹脂の切断に比較して切削性能が上がり、品質向上や切断コストの低減を図ることができる。

10 (実施形態 4)

図 1 7 乃至図 2 1 は本発明の他の実施形態（実施形態 4）であるメモリーカードに係わる図である。図 1 7 はメモリーカードの裏返し状態の断面図、図 1 8 はメモリーカードの底面図、図 1 9 はメモリーカードの製造における半導体素子の取り付け状態を示す斜視図、図 2 0 は半導体
15 素子の取り付け状態の一例を示す部分的断面図、図 2 1 は半導体素子の取り付け状態の他の例を示す部分的断面図である。

本実施形態 4 は実施形態 3 において、図 1 9 に示すように、溝 4 5 を埋める封止部 3 c を部分的とし、封止部 3 c が形成されない空間領域 5
0 に露出する溝底にフェイスダウンボンディングで半導体素子 5 を固定
20 する構成である。例えば、図 2 0 に示すように、半導体素子 5 の電極 5 1 を有する面を溝底に対面させ、溝底に設けられたボンディングパッド 5 2 に半田等の接合材 5 3 を介して各電極 5 1 を電気的かつ機械的に接続したり、あるいは図 2 1 に示すように、溝底と半導体素子 5 との間に異方導電性接着剤 5 5 を介して半導体素子 5 の電極 5 1 を溝底のボンデ
25 イングパッド 5 2 に電気的かつ機械的に固定するものである。

図 2 0 に示すボンディングパッド 5 2 に接合材 5 3 を介して電極 5

1を固定する構造では、溝底と半導体素子5との間に絶縁性樹脂（アンダーフィル樹脂）を充填してアンダーフィル54を形成し、水分や異物が溝底と半導体素子5との間に入らないように配慮されている。図21に示す異方導電性接着剤55を使用するものでは、異方導電性接着剤55を半導体素子5の電極51とボンディングパッド52との間に圧縮させることによって異方導電性接着剤55の中の導電性粒子が相互に接触して電極51とボンディングパッド52とが電氣的に接続される。

図17～図19は異方導電性接着剤55を用いる場合を示してある。また、特に限定はされないが、本実施形態では、封止部3cによって被
10 われる半導体素子5はコントロールチップ5bとし、フェイスダウンボンディングによって搭載される半導体素子5はメモリーチップ5aとしたものである。

また、本実施形態では、空間領域50の外側に露出する半導体素子5の表面は溝45の縁の面、即ち第1の面2aから外側に突出しないように
15 するものである。例えば、半導体素子5の表面は基板2の表面（第1の面2a）と同一の平面上に位置するようにする。これは、メモリーカード1をスロットに挿入する際、引っ掛からないようにするためである。

本実施形態のメモリーカード1の製造は、マトリックス基板を使用する実施形態3の製造において、溝45の一部に封止部3cを形成し、残
20 りの部分は封止部3cで被わないことから、溝底の一部に半導体素子5を固定する。例えば、半導体素子5としてコントロールチップ5bを固定する。その後、この半導体素子5の電極と配線をワイヤ6で電氣的に接続し、ついで前記半導体素子5及びワイヤ6を被うように封止部3cを溝底に部分的に接続する。

25 つぎに、封止部3cで被われない溝底に半導体素子5をフェイスダウンボンディングによって固定する。半導体素子5は、例えば、メモリー

チップ 5 a を固定する。この場合、図 20 に示す接合材 5 3 を用いてメモリーチップ 5 a の電極 5 1 と溝底のボンディングパッド 5 2 を接続する方法や、図 21 に示すように、異方導電性接着剤 5 5 でメモリーチップ 5 a の電極 5 1 と溝底のボンディングパッド 5 2 を電氣的に接続する。

- 5 接合材 5 3 を使用する方法では、半導体素子 5 の固定後、絶縁性のアンダーフィル樹脂を半導体素子 5 と溝底との間に流し込み、その後このアンダーフィル樹脂を硬化処理してアンダーフィル 5 4 を形成する。

つぎに、マトリックス基板を単位基板領域ごとに分離するようにマトリックス基板を縦横に切断し、かつ一隅を斜めに切断して方向性認識部
10 8 を形成して図 17 及び図 18 に示すようなメモリーカード 1 を複数製造する。

本実施形態 4 では、溝 4 5 の一部を封止部 3 c で被い、封止部 3 c で被われない空間領域 5 0 の溝底にフェイスダウンボンディングによって半導体素子 5 を搭載することから、高速動作するチップのインダクタンス低減が図れる。
15

(実施形態 5)

図 22 及び図 23 は本発明の他の実施形態（実施形態 4）であるメモリーカードに係わる図である。図 22 はメモリーカードの裏返し状態の断面図、図 23 はメモリーカードの底面図である。

- 20 本実施形態 5 のメモリーカード 1 は、図 22 に示すように、基板 2 の表裏面、即ち、第 1 の面 2 a 及び第 2 の面 2 b にそれぞれ半導体素子 5 を搭載するとともに封止部 3 c、3 d で被った構造である。また、第 1 の面 2 a 及び第 2 の面 2 b において、半導体素子 5 の上にこの半導体素子 5 よりもサイズが小さい半導体素子 5 を固定し、いずれも図示しない各
25 電極と各配線をワイヤ 6 で電氣的に接続する構造になっている。即ち、本実施形態 5 は実施形態 1 と実施形態 3 を一緒にした構成になっている。

本実施形態 5 のメモリーカード 1 の製造においては、実施形態 3 の図 1 5 で示すように溝 4 5 を有するマトリックス基板 2 g を使用するが、溝底に 2 段に重ねて半導体素子 5 を搭載することから、溝 4 5 の深さは深くなり、その分マトリックス基板 2 g の厚さも厚くなっている。

- 5 このような図示しないマトリックス基板において、最初に、各单位基板領域の溝底に所定の数の半導体素子 5 を固定する。また、各单位基板領域のマトリックス基板の第 2 の面 2 b にも所定の数の半導体素子 5 を固定する。この例ではマトリックス基板に半導体素子 5 を固定した後、この半導体素子 5 上にサイズの小さい半導体素子 5 を重ねて固定する。
- 10 この固定時、下段の半導体素子 5 の電極が露出するように半導体素子 5 の固定を行う。

つぎに、各半導体素子 5 の電極と配線をワイヤ 6 で電氣的に接続する。

- つぎに、溝 4 5 を塞ぐように絶縁性樹脂を埋め込んで半導体素子 5 及びワイヤ 6 を被うモールド体を形成するとともに、第 2 の面 2 b 上の半
- 15 導体素子 5 及びワイヤ 6 を被うように第 2 の面 2 b の全域に絶縁性樹脂でモールド体を形成する。これら両モールド体はモールド型を使用したトランスファモールドによって同時に形成する。

- つぎに、マトリックス基板を単位基板領域ごとに分離するようにマトリックス基板を縦横に切断し、かつ一隅を斜めに切断して方向性認識部
- 20 8 を形成して図 2 3 及び図 2 2 に示すようなメモリーカード 1 を複数製造する。

- 本実施形態 5 によれば、基板 2 表裏面にそれぞれ半導体素子を搭載する構造であることから、メモリーカード 1 の高機能化及び大容量化を図ることができる。また、本実施形態 5 では半導体素子 5 の上に半導体素子
- 25 を固定する多段搭載構造であることから、さらに高機能化及び大容量化を図ることができる。

(実施形態 6)

本実施形態 6 から実施形態 9 に至る実施形態のメモリーカードは、実施形態 1 及び実施形態 3 乃至 5 のメモリーカードの製造において、マトリックス基板を縦横に分断し、方向性認識部を形成する切断を行う前の
5 COB パッケージを、プラスチックケースに嵌め込み接着固定した構成のものである。COB パッケージを構成する基板の一面に設けられる外部電極端子は露出する状態でケースに收容され、前記外部電極端子はメモリーカードの外部電極端子として使用される。また、長方形のプラスチックケースの 1 隅には斜めに延在する方向性認識部が設けられている。
10 この方向性認識部は他の形状（構造）でもよいことは勿論である。

図 2 4 乃至図 2 7 は本発明の他の実施形態（実施形態 6）であるメモリーカードに係わる図である。図 2 4 はメモリーカードの裏返し状態の斜視図、図 2 5 はメモリーカードの裏返し状態の断面図、図 2 6 はメモリーカードの製造各工程の状態を示す断面図、図 2 7 はメモリーカード
15 の製造においてケースに COB パッケージを取り付ける状態を示す斜視図である。

本実施形態 6 のメモリーカード 1 は、図 2 7 に示すように、プラスチックで形成されるケース 6 0 の收容窪み 6 2 に COB パッケージ 6 1 a を嵌め込み、図 2 5 に示すように、COB パッケージ 6 1 a を接着剤 6
20 3 で接着した構造になっている。メモリーカード 1 は、COB パッケージ 6 1 a を構成する基板 2 の一面に設けられる外部電極端子 4 a が露出する状態で COB パッケージ 6 1 a がケース 6 0 に收容される構造になり、前記外部電極端子 4 a がメモリーカード 1 の外部電極端子として使用される構造になる（図 2 4 参照）。

25 即ち、本実施形態 6 のメモリーカード 1 は、プラスチックケースに実施形態 1 で形成する COB パッケージ品を收容した構造になっている。

実施形態 1 ではモールド後マトリックス基板を縦横に切断し、その後方向性認識部を形成する切断を行ってメモリーカード 1 を製造するが、本実施形態ではマトリックス基板を縦横に切断して四角形の C O B パッケージを製造した後、この C O B パッケージをケース 6 0 に嵌め合い接着してメモリーカード 1 を製造する。また、ケース 6 0 の角には斜めに切断した方向性認識部 8 が設けられている。

ケース 6 0 は、樹脂（例えば、P P E : poly phenyl ether）で形成され、一面に C O B パッケージ 6 1 a を嵌め込む収容窪み 6 2 を有する単純な構造となっている。従って、成形コストも安価となる。

ケース 6 0 の外形寸法は、例えば、縦（長さ）3 2 m m、横（幅）2 4 m m、厚さ 1 . 4 m m となっている。従って、C O B パッケージ 6 1 a の外形寸法は、前記ケース 6 0 の収容窪み 6 2 に嵌め込むため、縦（長さ）2 8 m m、横（幅）1 9 m m、厚さ 0 . 8 m m となっている。ケース 6 0 の窪み底の板厚は 0 . 5 m m となっている。C O B パッケージ 6 1 a を構成する基板 2 の厚さは 0 . 2 1 m m である。

つぎに、図 2 6（a）～（d）を参照しながら C O B パッケージ 6 1 a の製造について説明する。製造工程としては、その多くが実施形態 1 の場合と同様であることから簡単に説明する。図 2 6（a）～（d）は C O B パッケージの製造各工程の状態を示す断面図であり、マトリックス基板用意（a）、チップボンディング及びワイヤボンディング（b）、モールド（c）、マトリックス基板分離（d）を示す図である。

図 2 6（a）に示すように、本実施形態 6 のメモリーカード 1 の製造においても実施形態 1 の場合と同様なマトリックス基板 2 f を使用する。しかし、本実施形態 6 のマトリックス基板における単位基板領域 1 5 の寸法は、例えば、長さ 2 8 m m、幅 1 9 m m、厚さ 0 . 2 1 m m と、ケース 6 0 に嵌め込む構造となることから、実施形態 1 の場合よりも小さ

くなる。

つぎに、図 2 6 (b) に示すように、マトリックス基板 2 f の第 2 の面 2 b にチップボンディングが行われ、半導体素子 5 として、メモリーチップ 5 a 及びコントロールチップ 5 b を固定する。

5 つぎに、図 2 6 (b) に示すように、各半導体素子 5 の電極とマトリックス基板 2 f の表面の配線（ワイヤボンディングパッド）を導電性のワイヤ 6 で接続する。

10 つぎに、図 2 6 (c) に示すように、常用のトランスファモールドによってマトリックス基板 2 f の第 2 の面 2 b に一定厚さのモールド体 3 a を形成する。

つぎに、図 2 6 (d) に示すように、図示しないダイシング装置によってマトリックス基板 2 f を縦横に切断し、単位基板領域 1 5 を含む C O B パッケージ 6 1 a を形成する。

15 つぎに、図 2 7 に示すように、外部電極端子 4 a が露出する状態で C O B パッケージ 6 1 a をケース 6 0 に嵌め込み接着剤を介して固定し、図 2 4 及び図 2 5 に示すようなメモリーカード 1 を製造する。

20 図 4 3、図 4 4 にあるような従来構造の C O B パッケージでは、封止部 3 を形成する際に、封止樹脂の硬化時の体積変化によって、プラスチックケース 6 0 と C O B パッケージとの間の隙間部分（クリアランス）の体積が変化する可能性があった。このようにケース 6 0 と C O B パッケージとの隙間部分の変化は、ケース 6 0 と C O B パッケージとの接着不良の原因になり得る。またケース 6 0 と C O B パッケージとの接着を確実に確保するために、ケース 6 0 と C O B パッケージとの隙間部分を大きく取り、その分供給する接着剤の量をあらかじめ多く設定すると、
25 接着剤はみ出しの原因になり得る。

これに比較して、本実施形態 6 のメモリーカード 1 においては、封止

樹脂 24 の硬化反応後にダイシングによって分割するために、配線基板
2 平面方向の寸法は封止樹脂 24 の硬化反応による体積変化の影響を受
けないため、寸法精度を向上することができる。従って、特に平面方向
において、ケース 60 の収容窪み 62 と C O B パッケージ 61 a との間
5 の隙間部分を減らすことができる。また、このように、C O B パッケージ 61 a の側面と、収容窪み 62 の側面との隙間を狭くすることにより、
低コストのペースト状接着剤を介して C O B パッケージ 61 a とケース
60 を接着する場合でも、接着剤のはみ出しを防ぐことができる。

また、図 4 3、図 4 4 にあるような従来構造の C O B パッケージでは、
10 トランスファモールド法による個別封止によって封止部を形成する場合、
封止部の周囲の基板上には、樹脂注入ゲートや、樹脂注入路となるラン
ナー、または金型キャビティのエアークベントが各装置領域の配線基板上
に配置されるために、その部分に不要な樹脂バリが残る場合がある。こ
のようなバリは、ケースと C O B パッケージとの接着不良や、基板の浮
15 き／傾きの原因になり得る。さらに、このような樹脂バリによる不良を
防ぐために、ケースと C O B パッケージとの隙間部分を余裕を持って確
保し、その分供給する接着剤の量をあらかじめ多く設定すると、接着剤
はみ出しの原因になり得る。

これに比較して、本実施形態 6 のメモリーカード 1 においては、ゲー
20 ト 29、ランナー 27、エアークベント 30 といった部分は、C O B パッ
ッケージ 61 a となる部分の外側に配置され、ダイシングによって分離さ
れるので、樹脂バリの発生を塞ぐことができ、ケース 60 との間の隙間
部分を狭く設定することができる。

また、図 4 3、図 4 4 にあるような従来構造の C O B パッケージでは、
25 封止部を形成する工程において、ポッティング法による個別封止を採用
する場合、ポッティング法に起因する封止部形状のばらつきが発生する。

このような形状ばらつきはキャップとC O Bパッケージとの間の接着不良の原因になり得る。またキャップとC O Bパッケージとの接着を確実に確保するために、その分供給する接着剤の量をあらかじめ多く設定すると、接着剤はみ出しの原因になり得る。

- 5 これに比較して、本実施形態6のメモリーカード1においては、モールド体3 a周縁部の形状制御が困難なポッティング法を採用したとしても、複数の装置領域を一括で封止した後に周縁部とC O Bパッケージ6 1 aとをダイシングによって分割することで、形状ばらつきを少なくすることができ、ケース6 0とC O Bパッケージ6 1 aとの接着を良好に行うことができる。

- 10 また、図4 3、図4 4にあるような従来構造のC O Bパッケージでは、封止部の周囲に広がる薄い基板部分は強度が低く、メモリーカード使用時に剥がれを発生する可能性が高い。こうした剥がれを防ぐためには、前記基板部分の接着が必須であったが、凹凸を有するケースの収容窪みの周縁部にまで接着剤または接着テープを供給することは困難であり、また、ペースト状接着剤の濡れ広がりを制御することが困難であった。

- 15 これに比較して、本実施形態6のメモリーカード1においては、C O Bパッケージ6 1 aを構成する基板2の第2の面2 b周縁部にも封止部3が形成されるため、C O Bパッケージ6 1 aの周縁部の強度が高く、
20 メモリーカード1使用時の剥がれを防ぐことができる。

また、本実施形態6のメモリーカード1においては、ケース6 0の収容窪み6 2底部に大きな凹凸が無いために、接着剤、接着テープの供給が容易になり、また、ペースト状の接着剤の濡れ広がりの制御が容易になるという効果もある。

- 25 さらには、本実施形態6のメモリーカード1においては、使用時の剥がれ発生の可能性が低減されているので、C O Bパッケージ6 1 aの主

に中央部のみペースト接着剤／接着テープを介してケース 6 0 と接着し、C O B パッケージ 6 1 a 周縁部または側壁部はケース 6 0 と接着しない構造を採用することができる。特にケース 6 0 との接着にペースト接着剤を採用した場合には、C O B パッケージ 6 1 a 周縁部または側壁部を
5 接着しないことにより、接着剤漏れ出しの可能性を更に低減することができる。

(実施形態 7)

図 2 8 乃至図 3 1 は本発明の他の実施形態（実施形態 7）であるメモリーカードに係わる図である。図 2 8 はメモリーカードの裏返し状態の
10 斜視図、図 2 9 はメモリーカードの裏返し状態の断面図、図 3 0 はメモリーカードの製造各工程の状態を示す断面図、図 3 1 はメモリーカードの製造においてケースに C O B パッケージを取り付ける状態を示す斜視図である。

本実施形態 7 のメモリーカード 1 は、図 3 1 に示すように、プラスチックで形成されるケース 6 0 の収容窪み 6 2 に C O B パッケージ 6 1 b
15 を嵌め込み、図 2 9 に示すように、C O B パッケージ 6 1 b を接着剤 6 3 で接着した構造になっている。メモリーカード 1 は、C O B パッケージ 6 1 b を構成する基板 2 の一面に設けられる外部電極端子 4 a が露出する状態で C O B パッケージ 6 1 b がケース 6 0 に収容される構造になり、前記外部電極端子 4 a がメモリーカード 1 の外部電極端子として使
20 用される構造になる（図 2 8 参照）。

即ち、本実施形態 7 のメモリーカード 1 は、プラスチックケースに実施形態 3 で形成する C O B パッケージ品を収容した構造になっている。実施形態 3 ではモールド後マトリックス基板を縦横に切断し、その後方
25 向性認識部を形成する切断を行ってメモリーカード 1 を製造するが、本実施形態ではマトリックス基板を縦横に切断して四角形の C O B パッケ

ージ 6 1 b を製造した後、この C O B パッケージ 6 1 b を実施形態 6 と同様のケース 6 0 に嵌め合い接着してメモリーカード 1 を製造する。

従って、本実施形態 7 においても実施形態 3 による効果の一部を有するとともに、実施形態 6 と同様に C O B パッケージ 6 1 b の封止部 3 が
5 ケースに收容されているため、堅牢で安価なメモリーカード 1 を得ることができる。

つぎに、図 3 0 (a) ~ (e) を参照しながら C O B パッケージ 6 1 b の製造について簡単に説明する。図 3 0 (a) ~ (e) は C O B パッケージの製造各工程の状態を示す断面図であり、マトリックス基板用意
10 (a)、チップボンディング及びワイヤボンディング (b)、モールド (c)、マトリックス基板分離 (d)、(e) を示す図である。

図 3 0 (a) に示すように、本実施形態 6 のメモリーカード 1 の製造においても実施形態 3 の場合と同様な溝 4 5 を有するマトリックス基板 2 g を使用する。しかし、本実施形態 7 のマトリックス基板における単位基板領域 1 5 の寸法は、例えば、長さ 2 8 m m、幅 1 9 m m、厚さ 0 .
15 8 m m と、ケース 6 0 に嵌め込む構造となることから、実施形態 1 の場合よりも小さくなる。

つぎに、図 3 0 (b) に示すように、マトリックス基板 2 g の第 1 の面 2 a に設けられた溝 4 5 の溝底にチップボンディングが行われ、半導
20 体素子 5 として、メモリーチップ 5 a 及びコントロールチップ 5 b を固定する。

つぎに、図 3 0 (b) に示すように、各半導体素子 5 の電極とマトリックス基板 2 g の表面の図示しない配線を導電性のワイヤ 6 で接続する。

つぎに、図 3 0 (c) に示すように、実施形態 3 と同様のトランスファモールドによってマトリックス基板 2 g の第 1 の面 2 a に形成された
25 溝 4 5 を塞ぐようにモールド体 3 a を形成する。

つぎに、図 30 (d) に示すように、図示しないダイシング装置のステージ 35 上にマトリックス基板 2 g を接着剤 33 を介して固定し、ダイシングブレード 36 によってマトリックス基板 2 g を縦横に切断し、単位基板領域 15 を含む COB パッケージ 61 b を形成する (図 30 5 (e) 参照)。

つぎに、図 31 に示すように、外部電極端子 4 a が露出する状態で COB パッケージ 61 b をケース 60 の収容窪み 62 に嵌め込み、接着剤 63 (図 29 参照) を介して固定し、図 28 及び図 29 に示すようなメモリーカード 1 を製造する。

10 本実施形態 7 のメモリーカード 1 は、実施形態 3 のメモリーカードが有する効果の一部を有するばかりでなく、COB パッケージ 61 b の一面と周縁がケース 60 によって被われて保護されるため、堅牢なメモリーカード 1 となる。

15 図 32 は本実施形態 7 の変形例によるメモリーカードの裏返し状態の断面図であり、図 33 は同じくメモリーカードの底面図である。この変形例はマトリックス基板の状態では溝 45 が 3 本設けられてメモリーカード 1 が製造されるが、この溝 45 は単位基板領域 15 の一方の端まで延在する形状になっている。従って、図 32 及び図 33 の状態では、封止部 3 c の端はケース 60 の内周縁まで延在するようになる。

20 この変形例では、溝 45 の溝幅が広くなることから、より大型の半導体素子の搭載が可能になり、高機能化及び大容量化が可能になる。

(実施形態 8)

25 図 34 は本発明の他の実施形態 (実施形態 8) であるメモリーカードの裏面を示す底面図、図 35 はメモリーカードの裏返し状態の断面図である。

本実施形態 8 のメモリーカード 1 は、ケース 60 の収容窪み 62 に C

OBパッケージ61cを嵌め込み接着した構造である。COBパッケージ61cは、実施形態7のCOBパッケージ61bにおいて、溝45に部分的に封止部3cを形成し、封止部3cが形成されない領域に半導体素子5をフェイスダウンボンディングによって搭載するものであり、この封止形態は実施形態4による構造のものである。

フェイスダウンボンディングによる半導体素子5の搭載形態は、実施形態4における図20の接合材53を用いて半導体素子5の電極51と基板2のボンディングパッド52を電氣的に接続するもの、または図21の異方導電性接着剤55を用いて半導体素子5の電極51と基板2のボンディングパッド52を電氣的に接続するもの等になる。図34及び図35は異方導電性接着剤55によるものを示す。

本実施形態8のメモリーカード1は、実施形態7及び実施形態4が有する効果の一部を有するばかりでなく、COBパッケージ61cの一面と周縁がケース60によって被われて保護されるため、堅牢なメモリーカード1となる。

(実施形態9)

図36乃至図42は本発明の他の実施形態（実施形態9）であるメモリーカード及びその製造に係わる図である。

本実施形態9のメモリーカード1は、図42に示すように、プラスチックで形成されるケース60の収容窪み62にCOBパッケージ61dを嵌め込み、図36に示すように、COBパッケージ61dを接着剤63で接着した構造になっている。メモリーカード1は、COBパッケージ61dを構成する基板2の一面に設けられる外部電極端子4aが露出する状態でCOBパッケージ61dがケース60に収容される構造になり、前記外部電極端子4aがメモリーカード1の外部電極端子として使用される構造になる（図37参照）。

即ち、本実施形態 9 のメモリーカード 1 は、プラスチックケースに実施形態 5 のように基板 2 の表裏面に半導体素子 5 を搭載し、それぞれを封止部 3 , 3 c で被った C O B パッケージ 6 1 d を収容した構造になっている。また、この C O B パッケージ 6 1 d は、実施形態 7 の変形例の
5 ように封止部 3 c の端はケース 6 0 の内周縁まで延在する構造となり、より大型の半導体素子の搭載が可能になっている。

本実施形態 9 は、基板 2 の表裏面に半導体素子 5 を搭載する構造であること、半導体素子 5 を多段に搭載する構造であること、溝 4 5 の幅を広くしてより大型の半導体素子 5 の搭載を可能にする構造であることによ
10 って、メモリーカード 1 の高機能化及び大容量化が達成できる。

また、C O B パッケージ 6 1 d をケース 6 0 の収容窪み 6 2 に収容固定する構造であり、C O B パッケージ 6 1 d の一面及び周縁はケース 6 0 で保護されるため、より堅牢なメモリーカード 1 となる。

つぎに、図 3 8 ~ 図 4 0 及び図 4 1 を参照しながら C O B パッケージ
15 6 1 d の製造について簡単に説明する。図 3 8 (a) ~ (e) は C O B パッケージの製造におけるチップボンディングからワイヤボンディングに至る各工程の状態を示す断面図である。図 3 9 (a) ~ (d) は C O B パッケージの製造におけるトランスファモールドの各段階での状態を示す断面図である。図 4 0 (a) ~ (c) は C O B パッケージの製造に
20 おけるマトリックス基板の分断に係わる各段階の状態を示す断面図である。

本実施形態 9 のメモリーカード 1 の製造においては、図 4 1 及び図 3 8 (a) に示すようなマトリックス基板 2 h が使用される。このマトリックス基板 2 h は、実施形態 3 の場合と同様に溝 4 5 を有するマトリックス基板 2 h となる。しかし、このマトリックス基板 2 h の溝 4 5 は、
25 隣接する単位基板領域 1 5 の端にまで到達する幅広で、マトリックス基

板 2 h を縦横に切断分離した状態では、一方の溝の端は切断代となり消滅して実施形態 7 の図 3 2 のようになり、半導体素子 5 の搭載可能領域の拡大が図られている。

つぎに、図 3 8 (b) に示すように、マトリックス基板 2 h の第 1 の面 2 a に設けられた溝 4 5 の溝底にチップボンディングが行われる。

つぎに、図 3 8 (c) に示すように、マトリックス基板 2 h を裏返し、マトリックス基板 2 h の平坦な第 2 の面 2 b にチップボンディングが行われる。前記マトリックス基板 2 h の表裏面への半導体素子 5 の固定においては、メモリーカード 1 として所定の機能を果たすべく、複数のメモリーチップとこれらを制御するコントロールチップが固定される。

つぎに、図 3 8 (d) に示すように、マトリックス基板 2 h を裏返し、溝底に固定した半導体素子 5 の電極とマトリックス基板 2 h の表面の図示しない配線を導電性のワイヤ 6 で接続する。

つぎに、図 3 8 (e) に示すように、マトリックス基板 2 h を裏返し、平坦な第 2 の面 2 b に固定した半導体素子 5 の電極とマトリックス基板 2 h の表面の図示しない配線を導電性のワイヤ 6 で接続する。

つぎに、ワイヤボンディングが終了したマトリックス基板 2 h は、図 3 9 (a) に示すように、トランスファモール装置のモールド金型 2 0 の下型 2 1 と上型 2 2 の間に型締めされる。図 3 9 は溝 4 5 の延在方向に沿う断面図である。

下型 2 1 と上型 2 2 による型締めによってマトリックス基板 2 h の表裏両面側にキャビティ 2 8 が形成される。また、このキャビティ 2 8 には、図 9 と同様にランナー 2 7 が連なる。ランナー 2 7 とキャビティ 2 8 との境界部分がゲート 2 9 となる。また、このゲート 2 9 の反対側のキャビティ 2 8 端には図示しないエアーベントが位置している。

図示しないプランジャの注入動作によって、図 3 9 (b) に示すよう

に、ランナー 2 7 内を流れる樹脂 2 4 はゲート 2 9 を通ってキャビティ 2 8 内に流入する。キャビティ 2 8 内全体に樹脂 2 4 が充填されると、樹脂 2 4 のキュアが行われて図 3 9 (c) に示すように樹脂 2 4 が硬化してモールド体 3 a が形成される。

- 5 つぎに、図 3 9 (d) に示すように、モールド型からモールド体 3 a が設けられたマトリックス基板 2 h を取り出す。

- つぎに、モールドが終了したマトリックス基板 2 h を図 4 0 (a) に示すように、図示しないダイシング装置のステージ 3 5 上にマトリックス基板 2 h を接着剤 3 3 で固定し、図 4 0 (b), (c) に示すように、
10 ダイシングブレード 3 6 によってマトリックス基板 2 h を縦横に切断し、単位基板領域 1 5 を含む COB パッケージ 6 1 d を形成する (図 4 2 参照)。

- つぎに、図 4 2 に示すように、外部電極端子 4 a が露出する状態で COB パッケージ 6 1 d をケース 6 0 の收容窪み 6 2 に嵌め込み、接着剤
15 6 3 (図 3 6 参照) を介して固定し、図 3 6 及び図 3 7 に示すようなメモリーカード 1 を製造する。

- 本実施形態 9 のメモリーカード 1 は、実施形態 5 のメモリーカードが有する効果の一部を有するばかりでなく、COB パッケージ 6 1 d の一面と周縁がケース 6 0 によって被われて保護されるため、堅牢なメモリー
20 ーカード 1 となる。

以上本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

- 以上の説明では主として本発明者によってなされた発明をその背景
25 となった利用分野であるメモリーカードの製造に適用した場合について説明したが、それに限定されるものではない。

本発明は少なくともCOBパッケージ構造の電子装置には適用できる。

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

5 (1) 安価なパッケージ構造の電子装置を提供することができる。

 (2) 高機能化でかつ大容量化が可能な安価なパッケージ構造の電子装置を提供することができる。

 (3) 高機能化でかつ大容量化が可能な安価なメモリーカードを提供することができる。

10 本明細書に記載された各々の発明は、本明細書に記載された全ての課題を解決する構成に限定されるものではなく、特定の1つまたは複数の課題のみを解決する構成も含むものである。

産業上の利用可能性

15 以上のように、本発明に係わる電子装置としてのメモリーカードは、デジタルカメラやオーディオプレーヤ等において、高機能、大容量化でかつ安価な記憶媒体として使用することができる。また、本発明によるメモリーカードの製造方法は、従来 of この種製品の製造工数に比較して工数を少なくすることができるため、メモリーカードの製造コストをさ
20 らに低減することができる。

請 求 の 範 囲

1. 第1の面及び前記第1の面の裏面となる第2の面を有するメモリーカードであって、

5 主面及び裏面を有する配線基板と、

前記配線基板の裏面上に形成された複数の外部電極端子と、

前記配線基板の主面上に形成された複数の配線と、

前記配線基板の主面上に配置されており、前記複数の配線を介して前記複数の外部接続端子と電氣的に接続した半導体素子と、

10 前記配線基板の裏面上に形成されており、前記半導体素子を被う絶縁性樹脂からなる封止部とを有しており、

前記複数の外部電極端子及び前記配線基板の裏面は前記メモリーカードの第1の面に露出しており、

15 前記封止部は前記メモリーカードの第2の面に露出していることを特徴とするメモリーカード。

2. 前記封止部は、前記複数の配線の上部を被うことを特徴とする請求の範囲第1項記載のメモリーカード。

3. 前記半導体素子はコントロールチップとメモリーチップによって構成されることを特徴とする請求の範囲第1項記載のメモリーカード。

20 4. 前記半導体素子は、前記配線基板の主面上に配置された第1の半導体チップと、前記第1の半導体チップの上部に配置された第2の半導体チップとを有していることを特徴とする請求の範囲第1項記載のメモリーカード。

25 5. 前記配線基板の主面上において、前記半導体素子が固定される素子固定領域は一段窪み、前記窪み底に前記半導体素子が固定されていることを特徴とする請求の範囲第4項記載のメモリーカード。

6. 前記配線基板及び封止部の縁には方向性認識部が設けられていることを特徴とする請求の範囲第1項記載のメモリーカード。

7. 主面及び裏面を有する配線基板と、

前記配線基板の裏面上に形成された複数の外部電極端子と、

5 前記配線基板の主面上に形成された複数の配線と、

前記配線基板の主面上に配置されており、前記複数の配線を介して前記複数の外部電極端子と電氣的に接続した半導体素子と、

前記配線基板の裏面上に形成されており、前記半導体素子を被う絶縁性樹脂からなる封止部とを有しているメモリーカードであって、

10 前記配線基板と前記封止部が接着する界面は、前記メモリーカードの側面に露出していることを特徴とするメモリーカード。

8. (a) 主面上に単位基板領域を有し、かつ裏面上に複数の外部電極端子を有する配線基板を準備する工程と、

15 (b) 前記単位基板領域に半導体チップを配置し、前記半導体チップを前記複数の外部電極端子と電氣的に接続する工程と、

(c) 前記単位基板領域、及びその周囲の配線基板の主面上に、前記半導体チップを封止する封止体を形成する工程と、

20 (d) 前記封止体及び前記配線基板を、前記単位基板領域とその周囲との間で同時に切断し、前記単位基板領域の配線基板、単位基板領域上の封止部、半導体チップ及び複数の外部電極端子によって構成される個片部を形成する工程と、

(e) 窪みを有するケースを準備する工程と、

25 (f) 前記窪みの底部に、前記封止部を接着し、前記個片部を前記窪みの内部に固定する工程とを有することを特徴とする電子装置の製造方法。

9. 前記(d)工程における切断は、ダイシングによって行うことを特

徴とする請求の範囲第 8 項記載の電子装置の製造方法。

10 10. 前記 (e) 工程において準備されるケースには、方向性認識部が形成されていることを特徴とする請求の範囲第 8 項記載の電子装置の製造方法。

5 11. 前記 (f) 工程は、前記ケースの窪みの底部にペースト状の接着剤を供給する工程と、前記ペースト状の接着剤を介して前記個片部を前記窪みの内部に配置する工程と、前記接着剤を硬化して前記個片部の封止部と前記窪みの底部を前記接着剤を介して接着する工程とを有することを特徴とする請求の範囲第 8 項記載の電子装置の製造方法。

10 12. 前記 (b) 工程において配置される半導体チップはメモリーチップとコントロールチップとを含み、前記製造工程によって形成される電子装置はメモリーカードであることを特徴とする請求の範囲第 8 項記載の電子装置の製造方法。

15 13. (a) 主面上に第 1 及び第 2 の単位基板領域を有し、前記第 1 の単位基板領域の裏面上に第 1 の複数の外部電極端子を有し、前記第 2 の単位基板領域の裏面上に第 2 の複数の外部電極端子を有する配線基板を準備する工程と、

(b) 前記第 1 の単位基板領域に第 1 の半導体チップを配置し、前記第 1 の半導体チップを前記第 1 の複数の外部電極端子と電氣的に接続し、
20 かつ前記第 2 の単位基板領域に第 2 の半導体チップを配置し、前記第 2 の半導体チップを前記第 2 の複数の外部電極端子と電氣的に接続する工程と、

(c) 前記第 1 及び第 2 の単位基板領域上に、前記第 1 及び第 2 の半導体チップを封止する封止体を形成する工程と、

25 (d) 前記第 1 の単位基板領域と前記第 2 の単位基板領域との間で、前記封止体及び配線基板を同時に切断し、前記第 1 の単位基板領域の配

線基板、第 1 の単位基板領域上の第 1 の封止部、第 1 の半導体チップ及び第 1 の複数の外部電極端子によって構成される第 1 の個片部と、前記第 2 の単位基板領域の配線基板、第 2 の単位基板領域上の第 2 の封止部、第 2 の半導体チップ及び第 2 の複数の外部電極端子によって構成される第 2 の個片部とを形成する工程と、

(e) 窪みを有する第 1 のケースを準備する工程と、

(f) 前記第 1 のケースの窪みの底部に、前記第 1 の封止部を接着し、前記第 1 の個片部を前記第 1 のケースの窪みの内部に固定する工程とを有することを特徴とする電子装置の製造方法。

10 14. (g) 窪みを有する第 2 のケースを準備する工程と、

(f) 前記第 2 のケースの窪みの底部に、前記第 2 の封止部を接着し、前記第 2 の個片部を前記第 2 のケースの窪みの内部に固定する工程とをさらに有することを特徴とする請求の範囲第 13 項記載の電子装置の製造方法。

15 15. 前記 (d) 工程における切断は、ダイシングによって行うことを特徴とする請求の範囲第 13 項記載の電子装置の製造方法。

16. 前記 (e) 工程において準備される第 1 のケースには、方向性認識部が形成されていることを特徴とする請求の範囲第 13 項記載の電子装置の製造方法。

20 17. 前記 (f) 工程は、前記第 1 のケースの窪みの底部にペースト状の接着剤を供給する工程と、前記ペースト状の接着剤を介して前記第 1 の個片部を前記窪みの内部に配置する工程と、前記接着剤を硬化して前記第 1 の封止部と前記窪みの底部を前記接着剤を介して接着する工程とを有することを特徴とする請求の範囲第 13 項記載の電子装置の製造方法。

25 18. 前記 (b) 工程において配置される第 1 及び第 2 の半導体チップ

のそれぞれはメモリーチップとコントロールチップとを含み、前記製造工程によって形成される電子装置はメモリーカードであることを特徴とする請求の範囲第 13 項記載の電子装置の製造方法。

19. 第 1 の面に複数の外部電極端子を露出させる配線を有する基板と、
5 前記第 1 の面の裏面となる第 2 の面又は前記第 1 の面に前記外部電極端子の配列方向に沿い、かつ前記基板の全長に亘って設けられる溝と、
前記溝を塞ぐように埋め込まれる絶縁性樹脂からなる封止部と、

前記封止部に被われ、前記溝底に固定され、電極が接続手段を介して前記配線に電氣的に接続される 1 乃至複数の半導体素子を有する電子装
10 置。

20. 前記封止部の表面は平坦となり、前記表面は前記溝の両側の基板表面と略同じ高さになっていることを特徴とする請求の範囲第 19 項記載の電子装置。

21. 前記基板は四角形となり、前記溝底にはメモリーチップを構成する 1 乃至複数の半導体素子と、前記メモリーチップを制御するコントロールチップが固定されてメモリーカードが構成されていることを特徴とする請求の範囲第 19 項記載の電子装置。

22. 前記基板の前記半導体素子が固定される素子固定領域は一段窪み、前記窪み底に前記半導体素子が固定されていることを特徴とする請求の
20 範囲第 19 項記載の電子装置。

23. 前記半導体素子の上に半導体素子が一段以上重ねて固定され、各半導体素子の電極が露出するように上段の半導体素子はずれて固定され、各電極は前記接続手段を介して前記配線に接続されていることを特徴とする請求の範囲第 19 項記載の電子装置。

24. 単位基板領域が縦横に整列配置形成され、第 1 の面の前記各単位
25 基板領域に複数の外部電極端子を露出させ、前記第 1 の面の裏面となる

第 2 の面又は前記第 1 の面に前記外部電極端子の配列方向に沿うとともに前記基板の全長に亘って設けられる溝を有し、かつ配線を有する基板を用意する工程と、

前記基板の前記各単位基板領域の溝底に 1 乃至複数の半導体素子を
5 固定する工程と、

前記半導体素子の電極と前記配線を電氣的に接続する工程と、

前記半導体素子及び前記接続手段を被い前記溝を塞ぐように絶縁性樹脂を埋め込んで封止部を形成する工程と、

前記基板及び前記封止部を前記単位基板領域ごとに分離する工程と
10 を有する電子装置の製造方法。

25 25. 前記封止部の表面を平坦に形成するとともに、封止部の表面を前記溝の両側の基板表面と略同じ高さに形成することを特徴とする請求の範囲第 24 項記載の電子装置の製造方法。

26. 前記溝底にメモリーチップを構成する 1 乃至複数の半導体素子と、
15 前記メモリーチップを制御するコントロールチップを固定するとともに、前記基板を四角形状に形成してメモリーカードを形成することを特徴とする請求の範囲第 24 項記載の電子装置の製造方法。

27. 前記基板の溝底に窪みを設け、この窪み底に前記半導体素子を固定することを特徴とする請求の範囲第 24 項記載の電子装置の製造方法。

20 28. 前記半導体素子の上に下段の半導体素子の電極が露出するようにずらして半導体素子を一段以上重ねて固定し、その後、各半導体素子の電極と前記配線を前記接続手段を介して電氣的に接続することを特徴とする請求の範囲第 24 項記載の電子装置の製造方法。

29. 第 1 の面に複数の外部電極端子を露出させる配線を有する基板と、
25 前記第 1 の面の裏面となる第 2 の面又は前記第 1 の面に前記外部電極端子の配列方向に沿い、かつ前記基板の全長に亘って設けられる溝と、

前記溝の一部を塞ぐように埋め込まれる絶縁性樹脂からなる封止部と、

前記封止部に被われ、前記溝底に固定され、電極が接続手段を介して前記配線に電氣的に接続される 1 乃至複数の半導体素子と、

5 前記封止部に被われない溝内に固定され、電極が接続手段を介して前記配線に電氣的に接続される 1 乃至複数の半導体素子とを有することを特徴とする電子装置。

30 前記封止部に被われない溝内に固定される半導体素子は電極を有する面が前記溝底に対面し異方導電性接着剤によって溝底の配線と電極
10 が電氣的に接続され、かつ半導体素子の表面は前記溝の両側の基板表面から突出しないことを特徴とする請求の範囲第 29 項記載の電子装置。

31 前記封止部に被われない溝内に固定される半導体素子は電極を有する面が前記溝底に対面し溝底の配線と電氣的に接続され、前記溝底と半導体素子との間にはアンダーフィル樹脂が充填され、かつ半導体素子
15 の表面は前記溝の両側の基板表面から突出しないことを特徴とする請求の範囲第 29 項記載の電子装置。

32 前記基板は四角形となり、前記基板にはメモリーチップを構成する 1 乃至複数の半導体素子と、前記メモリーチップを制御するコントロールチップが固定されてメモリーカードが構成されていることを特徴と
20 する請求の範囲第 29 項記載の電子装置。

33 単位基板領域が縦横に整列配置形成され、第 1 の面の前記各単位基板領域に複数の外部電極端子を露出させ、前記第 1 の面の裏面となる第 2 の面又は前記第 1 の面に前記外部電極端子の配列方向に沿うとともに前記基板の全長に亘って設けられる溝を有し、かつ配線を有する基板
25 を用意する工程と、

前記基板の前記各単位基板領域の溝底の偏った位置に 1 乃至複数の

半導体素子を固定する工程と、

前記半導体素子の電極と前記配線を電氣的に接続する工程と、

前記半導体素子及び前記接続手段を被い前記溝の一部を塞ぐように絶縁性樹脂を埋め込んで封止部を形成する工程と、

- 5 前記封止部によって塞がれない溝底に半導体素子を固定するとともに、該半導体素子の電極と前記配線を接続手段を介して電氣的に接続する工程と、

前記基板及び前記封止部を前記単位基板領域ごとに分離する工程とを有する電子装置の製造方法。

- 10 34. 半導体素子の電極を有する面を前記封止部に被われない溝底に対面させ、前記溝底と半導体素子との間に異方導電性接着剤を介在させて前記半導体素子の電極と前記溝底の配線とを機械的電氣的に接続することを特徴とする請求の範囲第33項記載の電子装置の製造方法。

- 15 35. 半導体素子の電極を有する面を前記封止部に被われない溝底に対面させ、前記溝底の配線と前記半導体素子の電極を半田を介して接合することを特徴とする請求の範囲第33項記載の電子装置の製造方法。

- 20 36. 前記基板にメモリーチップを構成する1乃至複数の半導体素子と、前記メモリーチップを制御するコントロールチップを固定するとともに、前記基板を四角形状に形成してメモリーカードを形成することを特徴とする請求の範囲第33項記載の電子装置の製造方法。

37. 第1の面に複数の外部電極端子を露出させる配線を有する基板と、前記第1の面の裏面となる第2の面全域を被うように設けられる絶縁性樹脂からなる封止部と、

- 25 前記第1の面に前記外部電極端子の配列方向に沿い、かつ前記基板の全長に亘って設けられる溝と、

前記溝を塞ぐように埋め込まれる絶縁性樹脂からなる封止部と、

前記各封止部において、封止部に被われ、前記基板に固定され、電極が接続手段を介して前記配線に電氣的に接続される 1 乃至複数の半導体素子を有する電子装置。

38. 前記封止部の表面は平坦となり、前記表面は前記溝の両側の基板表面と略同じ高さになっていることを特徴とする請求の範囲第 37 項記載の電子装置。

39. 前記基板は四角形となり、前記基板にはメモリーチップを構成する 1 乃至複数の半導体素子と、前記メモリーチップを制御するコントロールチップが固定されてメモリーカードが構成されていることを特徴とする請求の範囲第 37 項記載の電子装置。

40. 単位基板領域が縦横に整列配置形成され、第 1 の面の前記各単位基板領域に複数の外部電極端子を露出させ、前記第 1 の面に前記外部電極端子の配列方向に沿うとともに前記基板の全長に亘って設けられる溝を有し、かつ配線を有する基板を用意する工程と、

15 前記基板の前記各単位基板領域の溝底に 1 乃至複数の半導体素子を固定する工程と、

前記各単位基板領域における前記基板の前記第 1 の面の裏面となる第 2 の面に 1 乃至複数の半導体素子を固定する工程と、

20 前記各半導体素子の電極と前記配線を接続手段を介して電氣的に接続する工程と、

前記溝を塞ぐように絶縁性樹脂を埋め込んで前記半導体素子及び前記接続手段を被う封止部を形成するとともに、前記第 2 の面上の前記半導体素子及び前記接続手段を被うように前記基板の第 2 の面全域に絶縁性樹脂で封止部を形成する工程と、

25 前記基板及び前記封止部を前記単位基板領域ごとに分離する工程とを有する電子装置の製造方法。

4 1 . 前記封止部の表面を平坦に形成するとともに、前記溝を埋め込むように形成する封止部の表面を前記溝の両側の基板表面と略同じ高さに形成することを特徴とする請求の範囲第 4 0 項記載の電子装置の製造方法。

- 5 4 2 . 前記基板にメモリーチップを構成する 1 乃至複数の半導体素子と、前記メモリーチップを制御するコントロールチップを固定するとともに、前記基板及び前記封止部を四角形状に形成してメモリーカードを形成することを特徴とする請求の範囲第 4 0 項記載の電子装置の製造方法。

4 3 . 一面に收容窪みを有するケースと、

- 10 前記收容窪みに挿嵌接着される C O B パッケージとを有し、
前記 C O B パッケージは、

第 1 の面に複数の外部電極端子を露出させる配線を有する基板と、

前記第 1 の面の裏面となる第 2 の面又は前記第 1 の面に前記外部電極端子の配列方向に沿い、かつ前記基板の全長に亘って設けられる溝と、

- 15 前記溝を塞ぐように埋め込まれる絶縁性樹脂からなる封止部と、

前記封止部に被われ、前記溝底に固定され、電極が接続手段を介して前記配線に電氣的に接続される 1 乃至複数の半導体素子を含み、

前記外部電極端子が露出するように前記ケースに接着されていることを特徴とする電子装置。

- 20 4 4 . 前記基板には、メモリーチップを構成する 1 乃至複数の半導体素子と、前記メモリーチップを制御するコントロールチップが固定されてメモリーカードが構成されていることを特徴とする請求の範囲第 4 3 項記載の電子装置。

- 4 5 . 前記ケースの縁には方向性認識部が設けられていることを特徴とする請求の範囲第 4 3 項記載の電子装置。
- 25

4 6 . 一面に收容窪みを有するケースと、

前記収容窪みに挿嵌接着されるCOBパッケージとを有し、

前記COBパッケージは、

第1の面に複数の外部電極端子を露出させる配線を有する基板と、

5 前記第1の面の裏面となる第2の面又は前記第1の面に前記外部電極端子の配列方向に沿い、かつ前記基板の全長に亘って設けられる溝と、
前記溝の一部を塞ぐように埋め込まれる絶縁性樹脂からなる封止部と、

前記封止部に被われ、前記溝底に固定され、電極が接続手段を介して前記配線に電氣的に接続される1乃至複数の半導体素子と、

10 前記封止部に被われない溝内に固定され、電極が接続手段を介して前記配線に電氣的に接続される1乃至複数の半導体素子とを含み、

前記外部電極端子が露出するように前記ケースに接着されていることを特徴とする電子装置。

47. 前記基板には、メモリーチップを構成する1乃至複数の半導体素子と、前記メモリーチップを制御するコントロールチップが固定されてメモリーカードが構成されていることを特徴とする請求の範囲第46項記載の電子装置。

48. 前記ケースの縁には方向性認識部が設けられていることを特徴とする請求の範囲第46項記載の電子装置。

20 49. 一面に収容窪みを有するケースと、

前記収容窪みに挿嵌接着されるCOBパッケージとを有し、

前記COBパッケージは、

第1の面に複数の外部電極端子を露出させる配線を有する基板と、

25 前記第1の面の裏面となる第2の面全域を被うように設けられる絶縁性樹脂からなる封止部と、

前記第1の面に前記外部電極端子の配列方向に沿い、かつ前記基板の

全長に亘って設けられる溝と、

前記溝を塞ぐように埋め込まれる絶縁性樹脂からなる封止部と、

前記各封止部において、封止部に被われ、前記基板に固定され、電極が接続手段を介して前記配線に電氣的に接続される 1 乃至複数の半導体

5 素子を含み、

前記外部電極端子が露出するように前記ケースに接着されていることを特徴とする電子装置。

50. 前記基板には、メモリーチップを構成する 1 乃至複数の半導体素子と、前記メモリーチップを制御するコントロールチップが固定されて

10 メモリーカードが構成されていることを特徴とする請求の範囲第 49 項記載の電子装置。

51. 前記ケースの縁には方向性認識部が設けられていることを特徴とする請求の範囲第 49 項記載の電子装置。

FIG.1

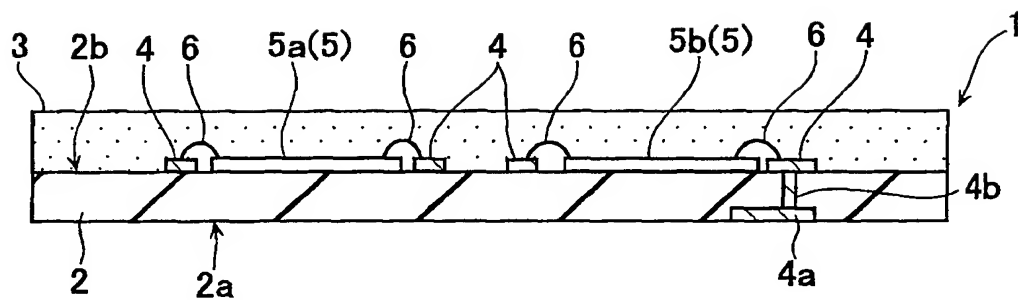


FIG.2

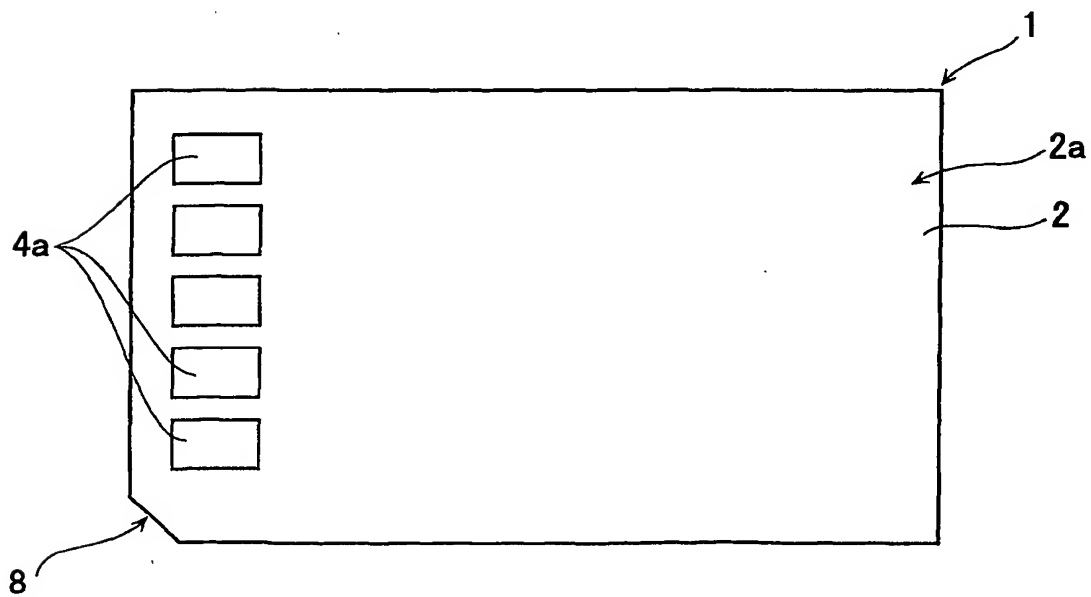


FIG.3

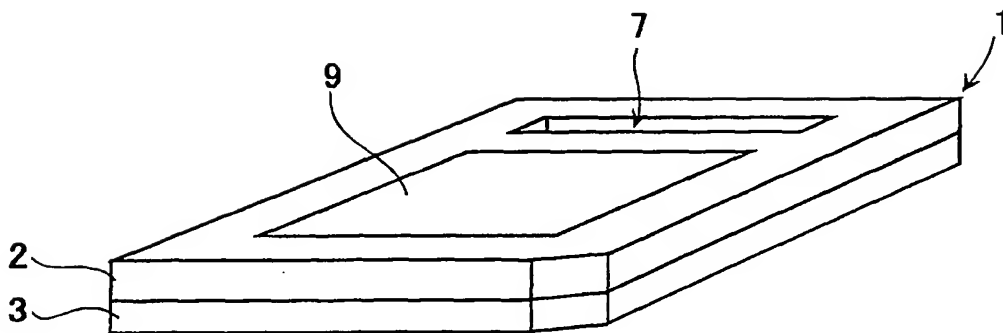
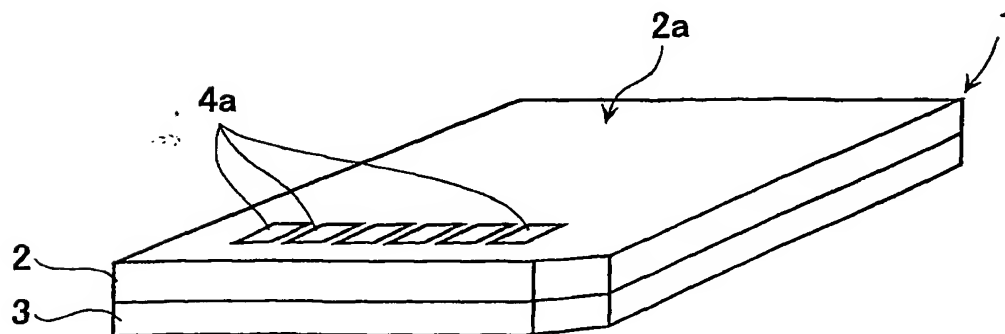
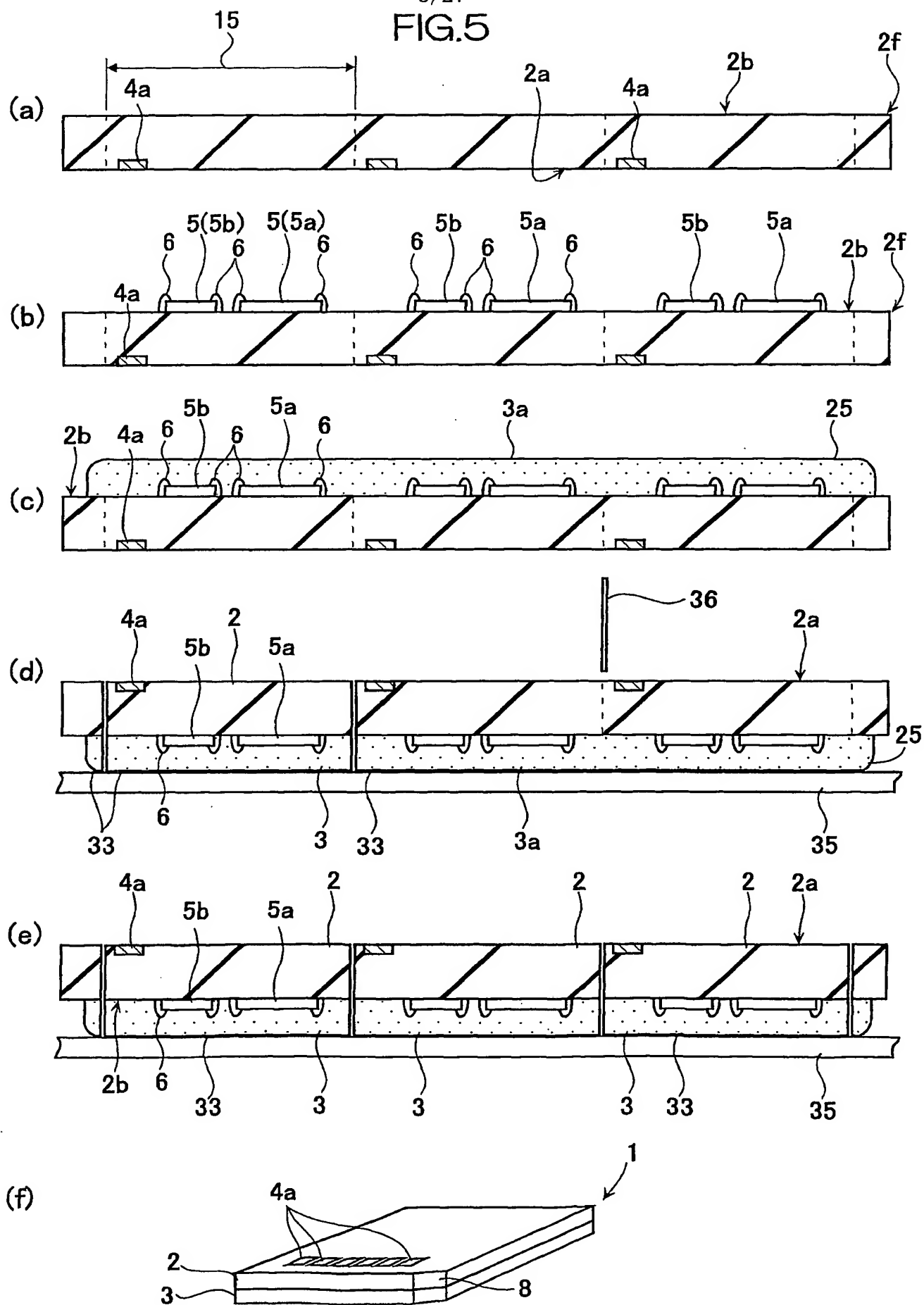


FIG.4



3/27
FIG.5



4/27

FIG.6

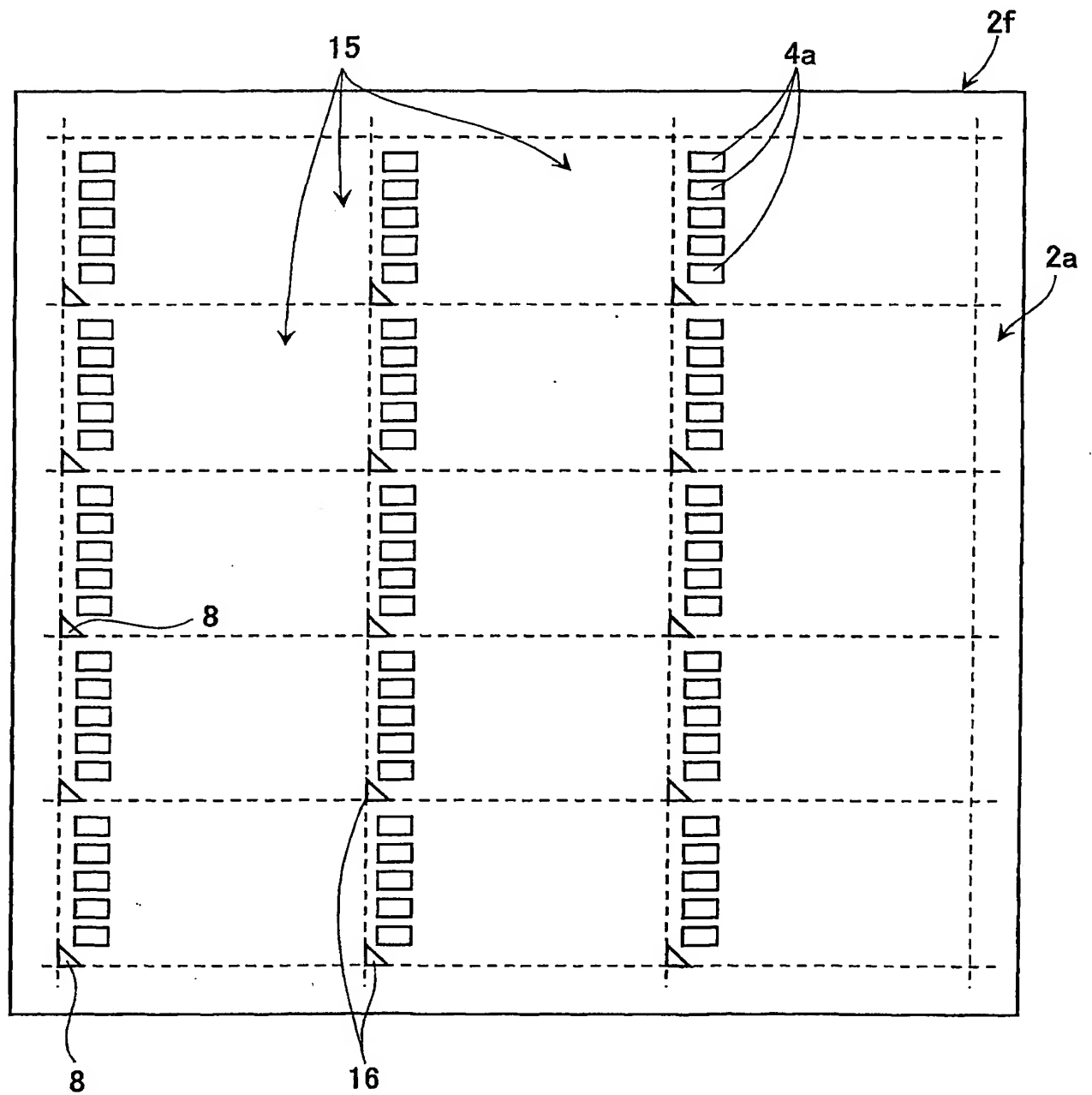
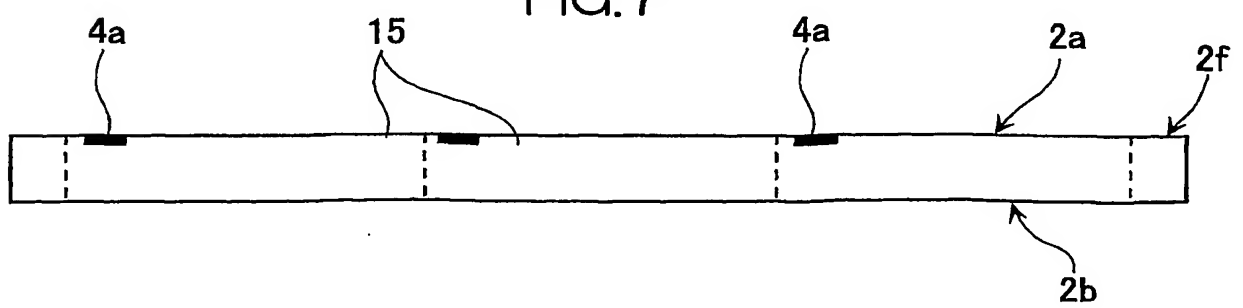
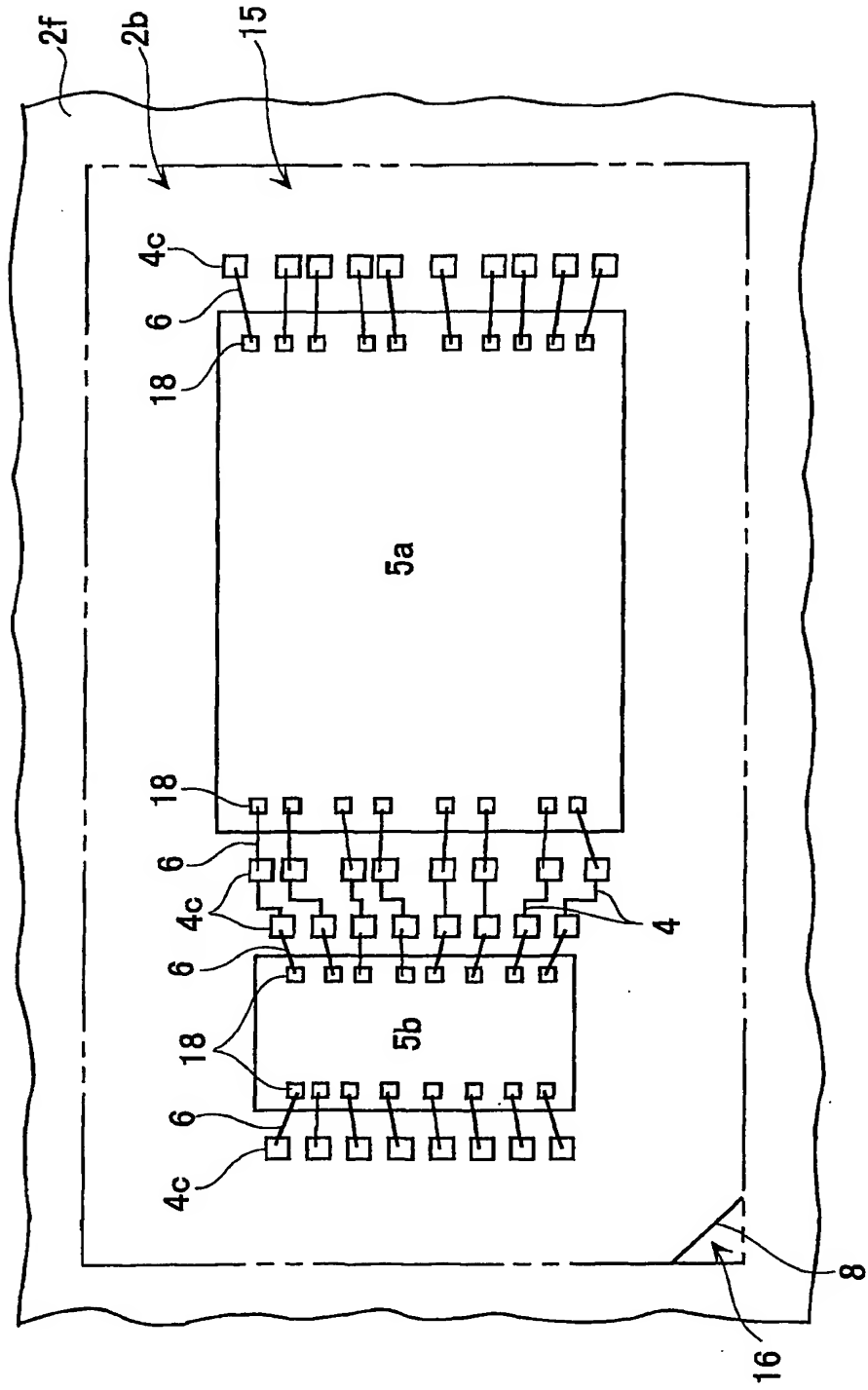


FIG.7



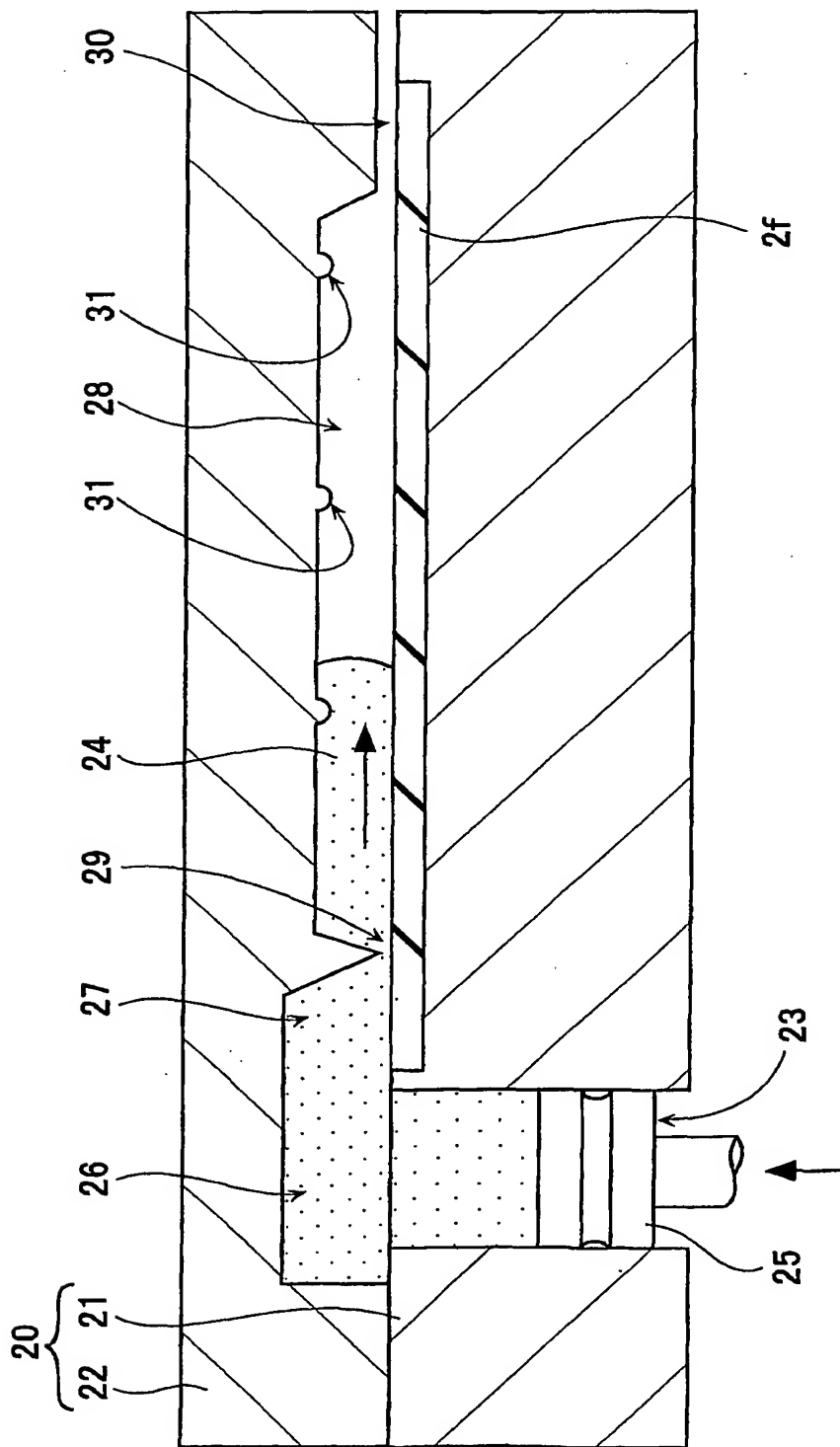
5/27

FIG.8



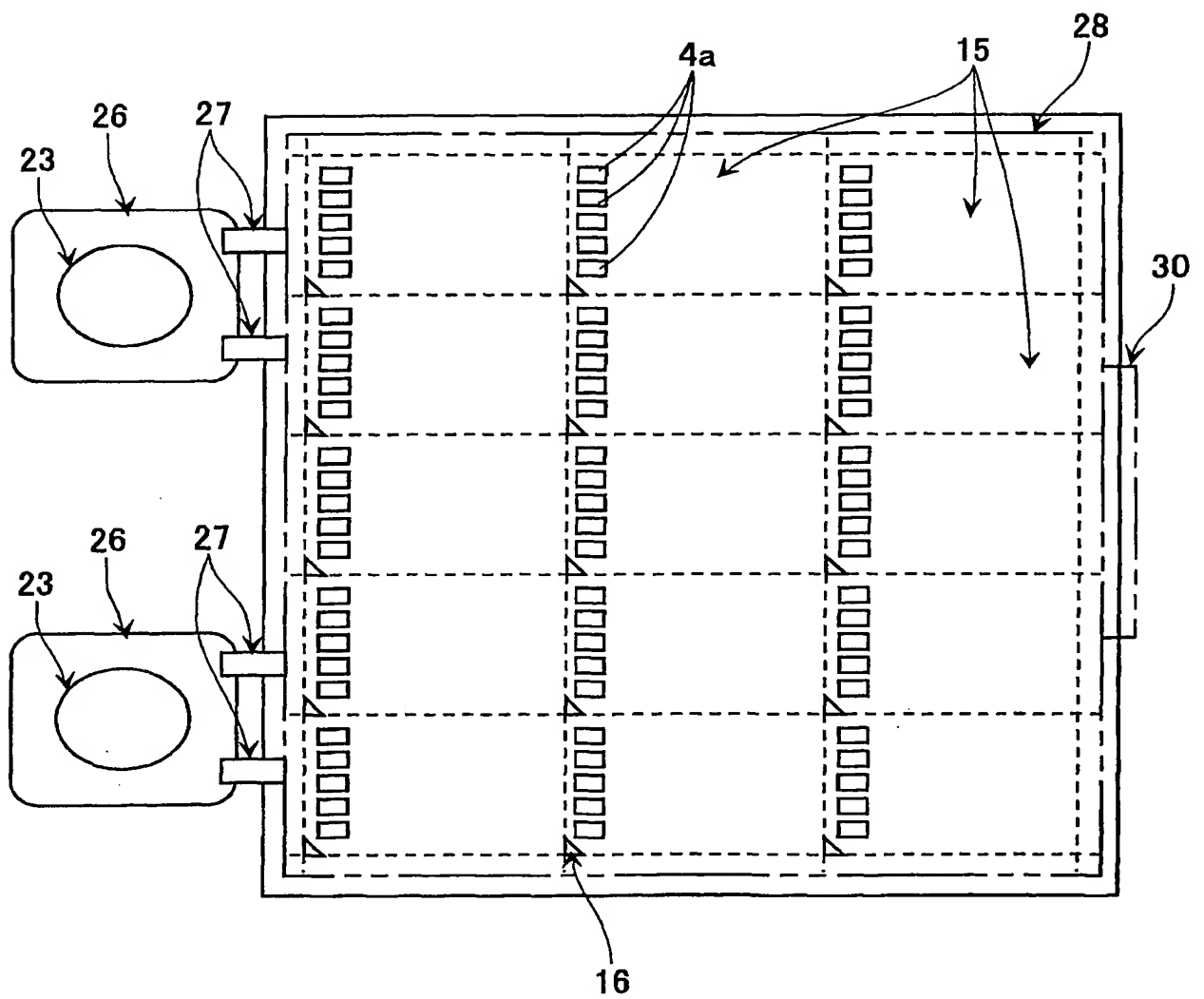
6/27

FIG.9



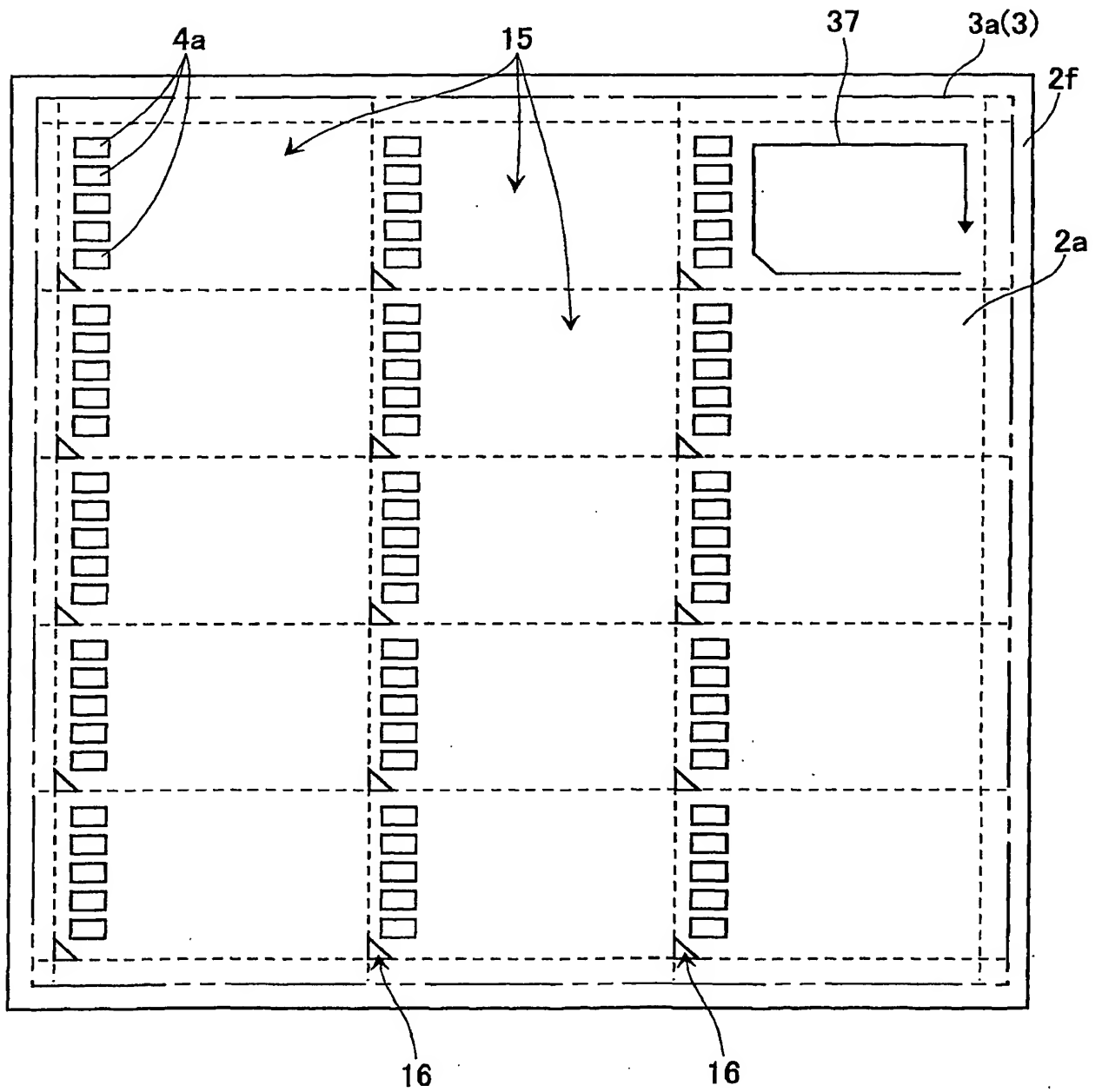
7/27

FIG.10



8/27

FIG. 11



9/27

FIG.12

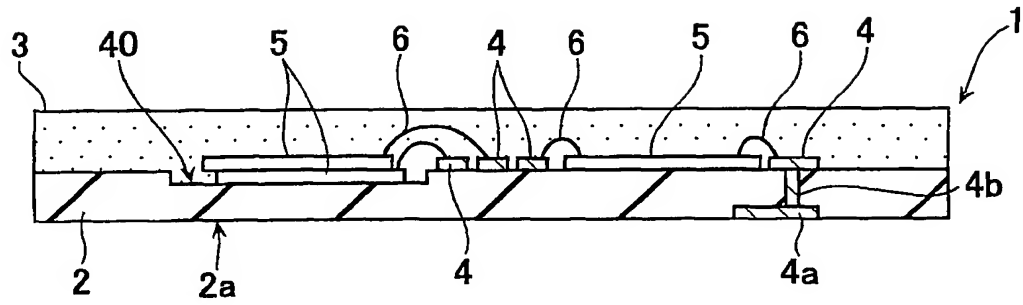


FIG.13

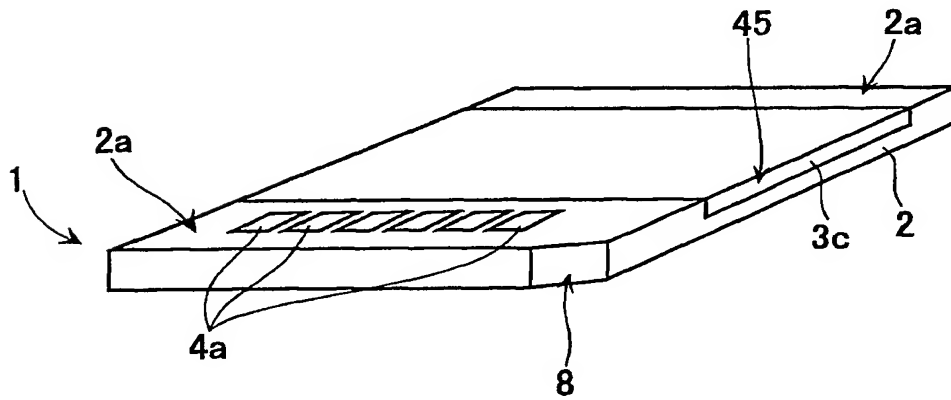
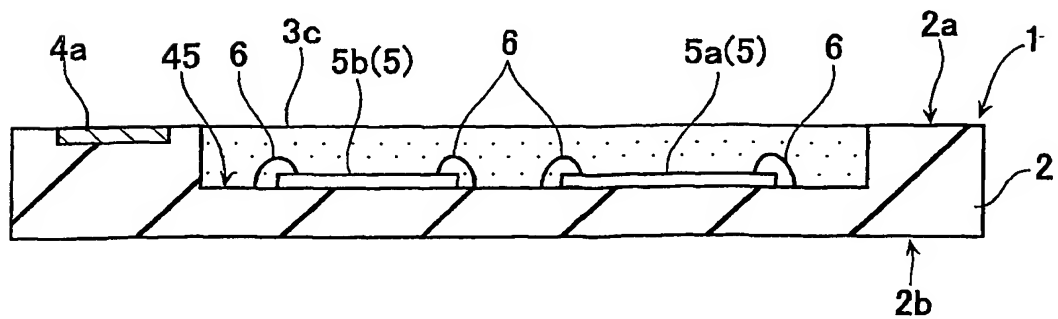
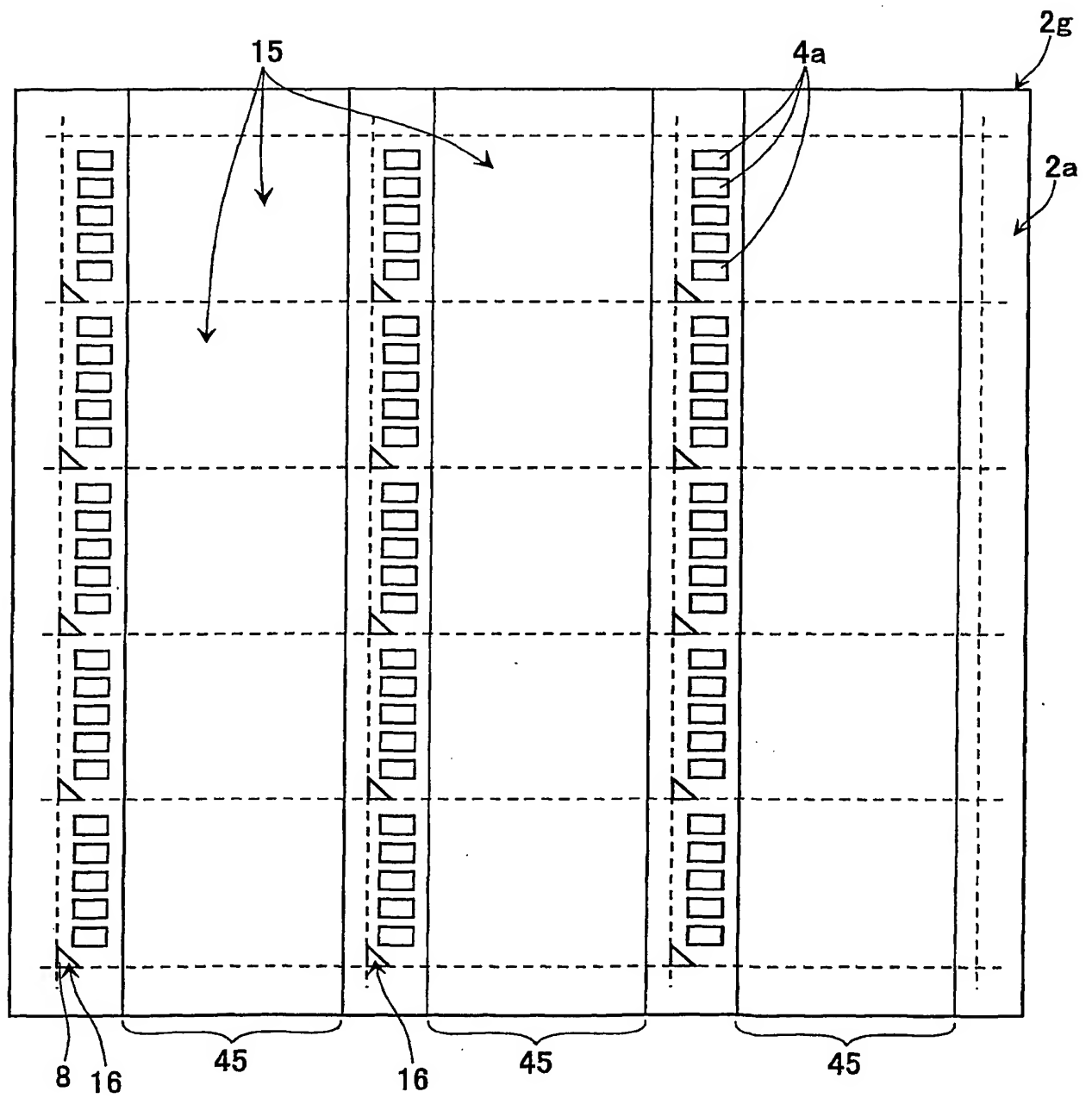


FIG.14



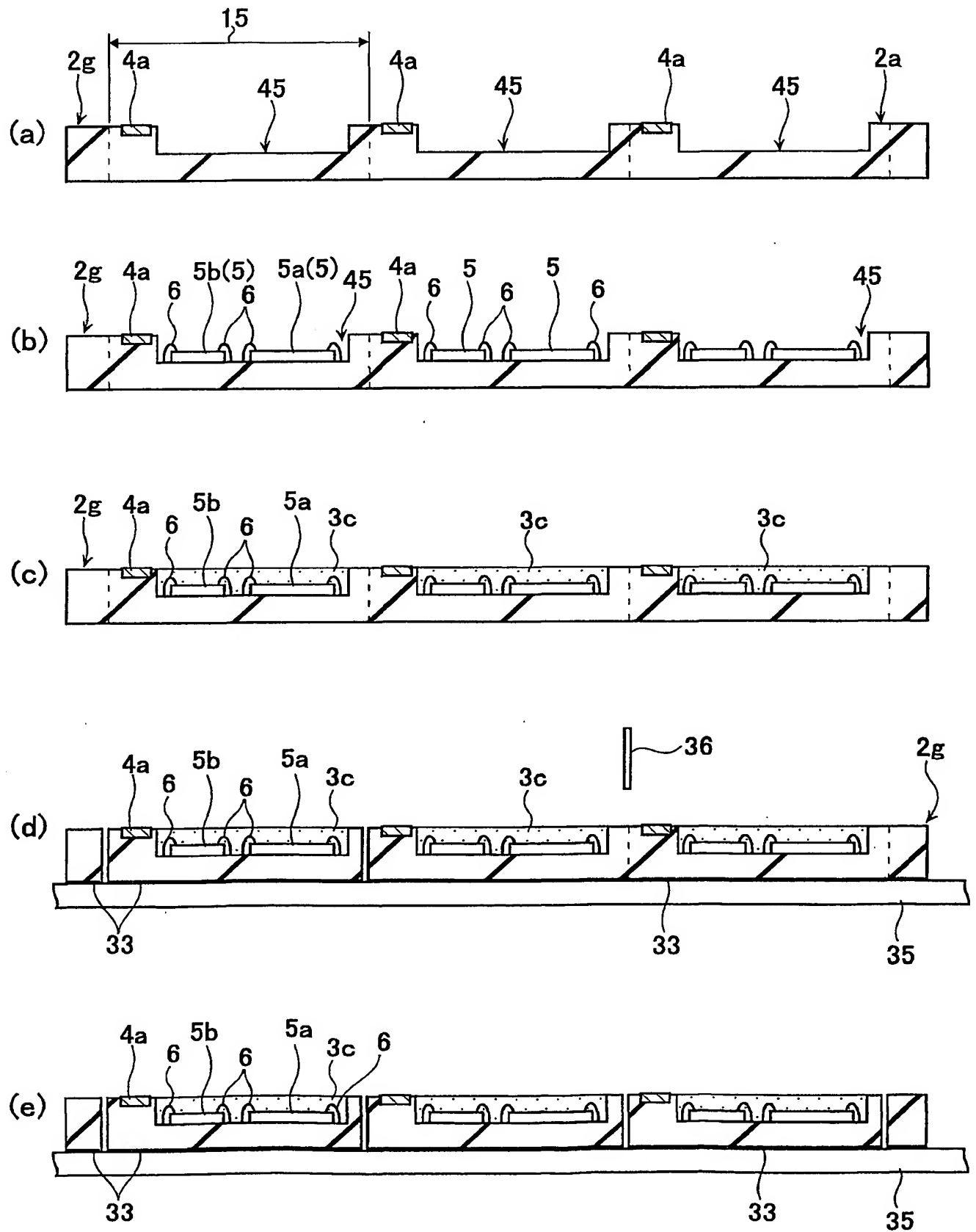
10/27

FIG.15



11/27

FIG.16



12/27

FIG.17

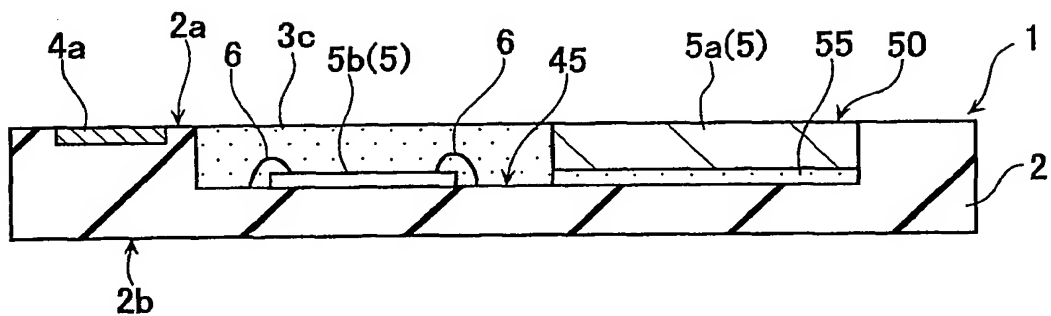


FIG.18

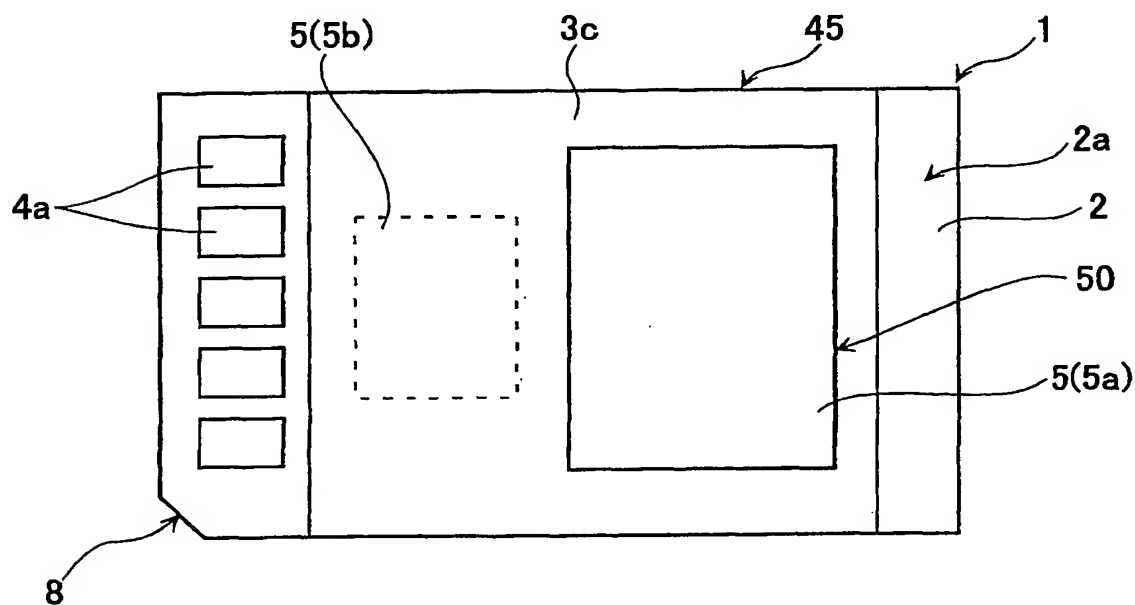


FIG.19

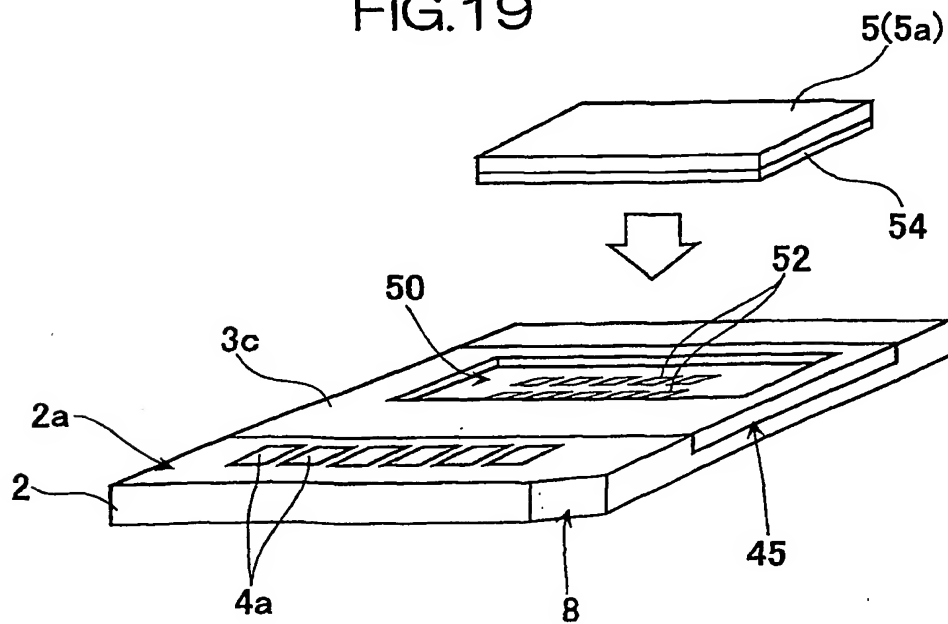


FIG.20

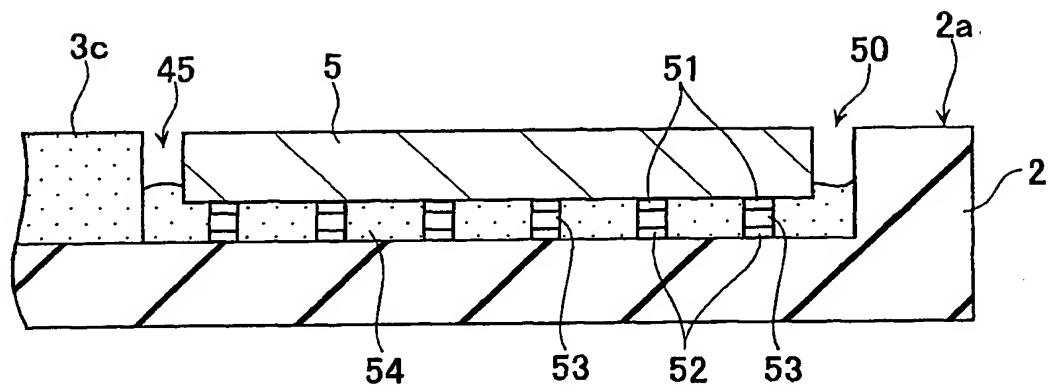


FIG.21

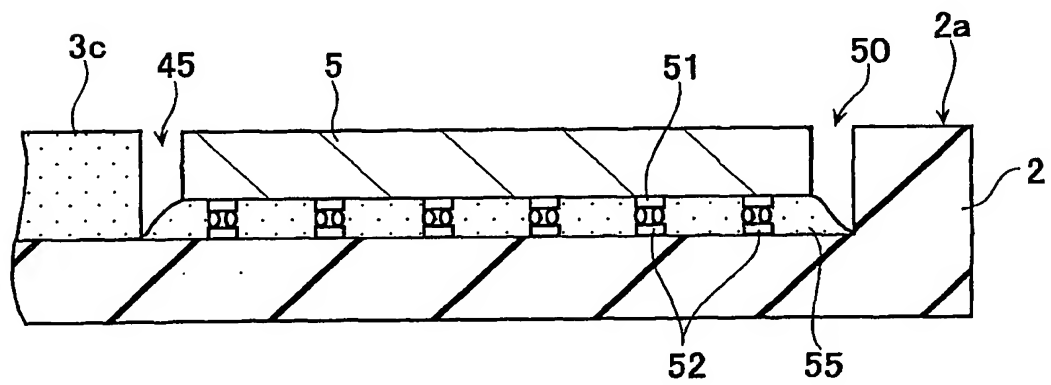
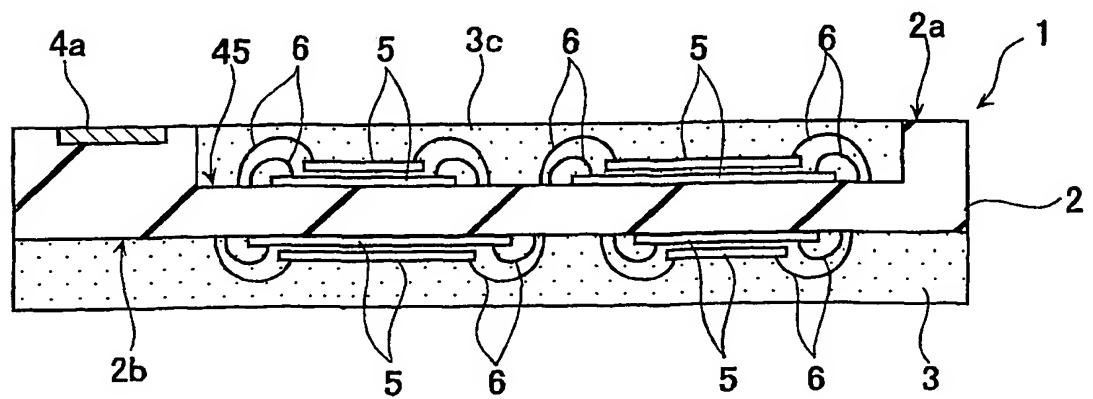


FIG.22



14/27

FIG.23

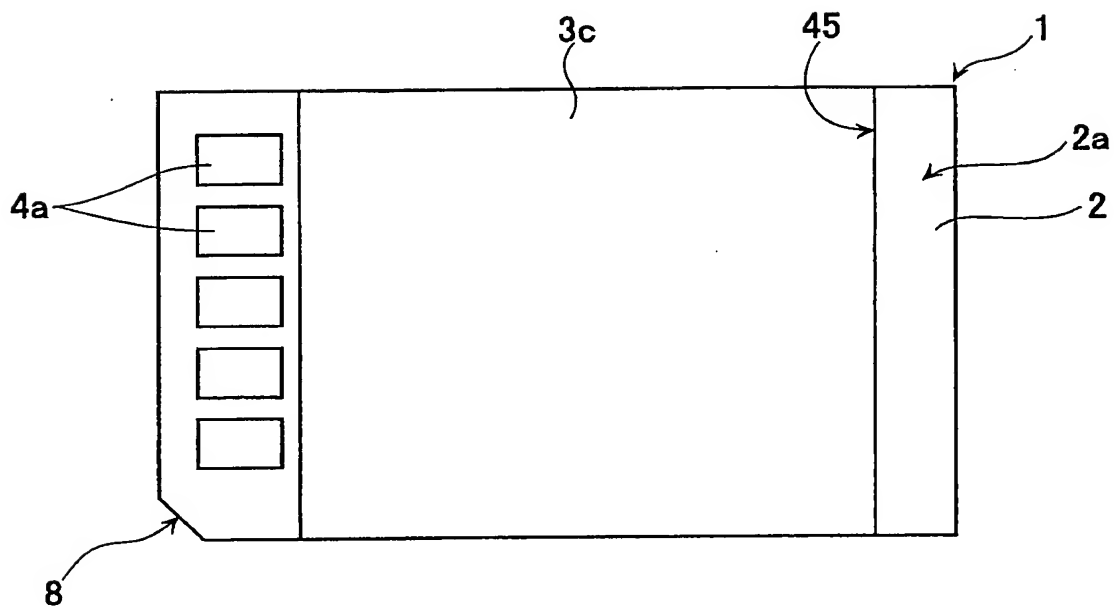
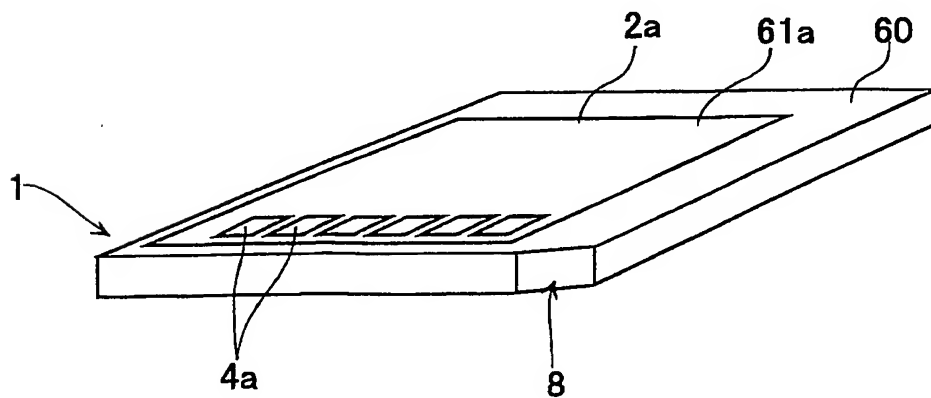


FIG.24



15/27

FIG.25

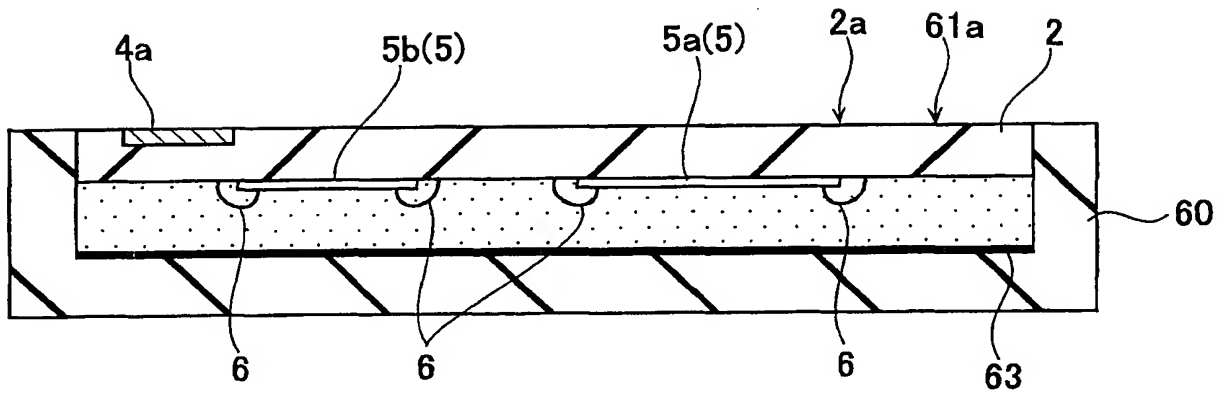
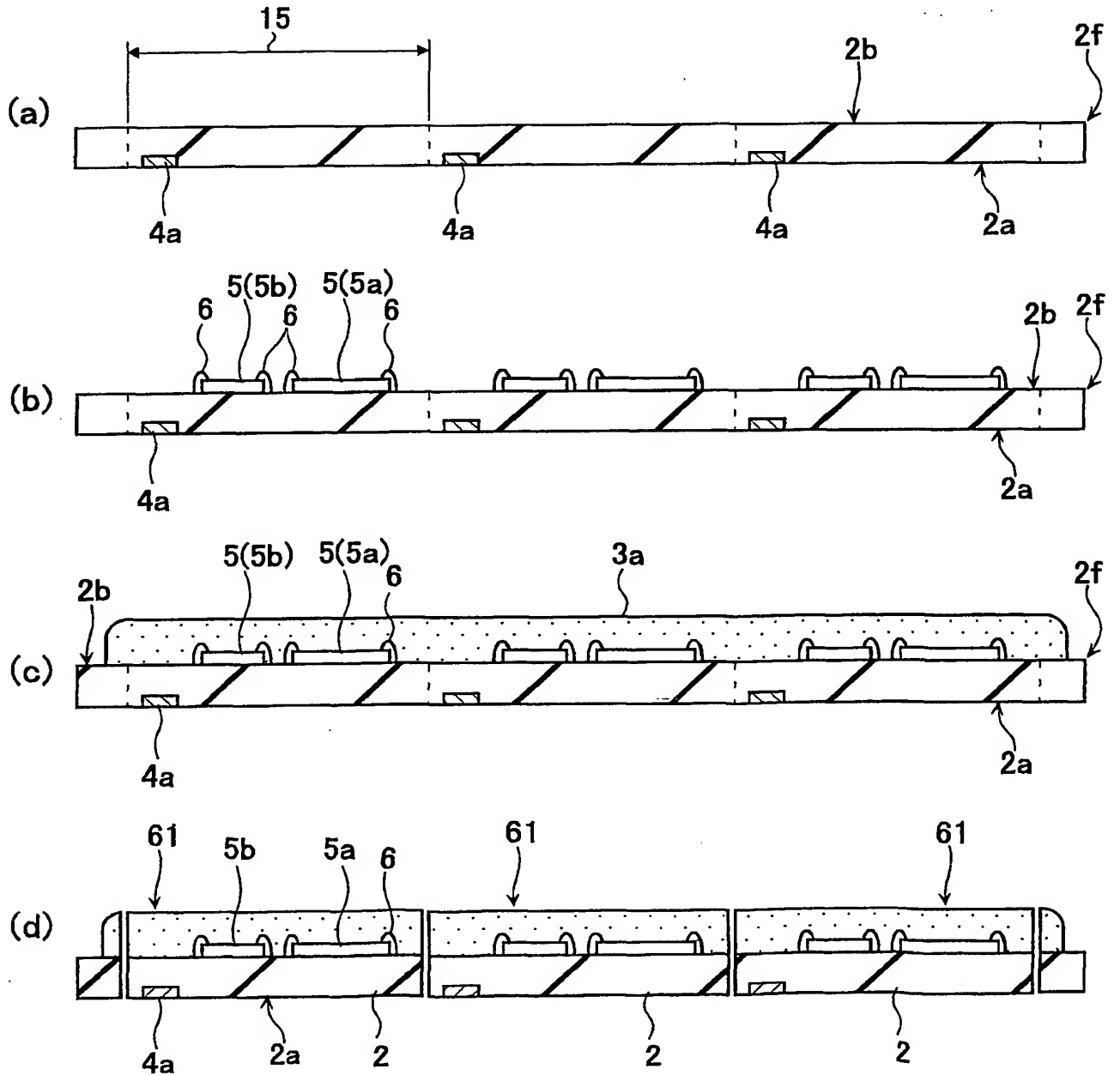


FIG.26



16/27

FIG.27

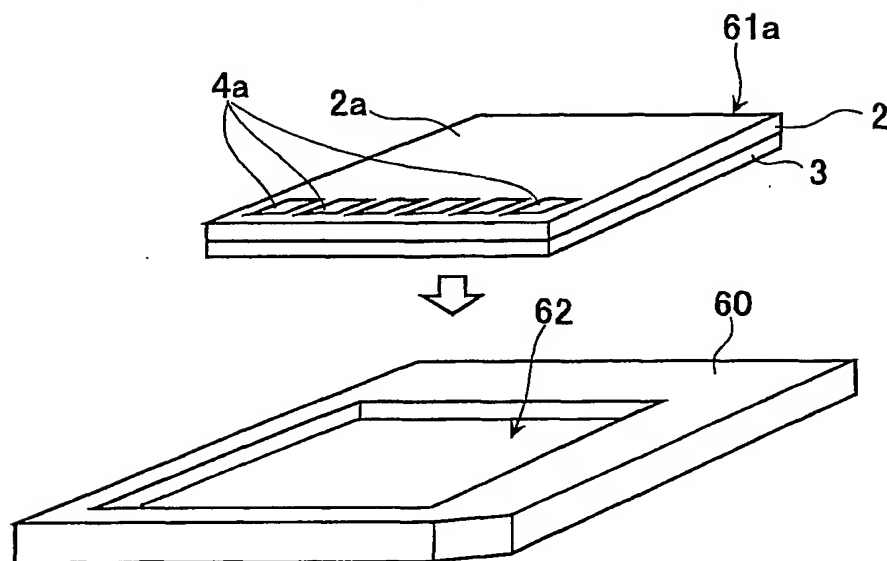


FIG.28

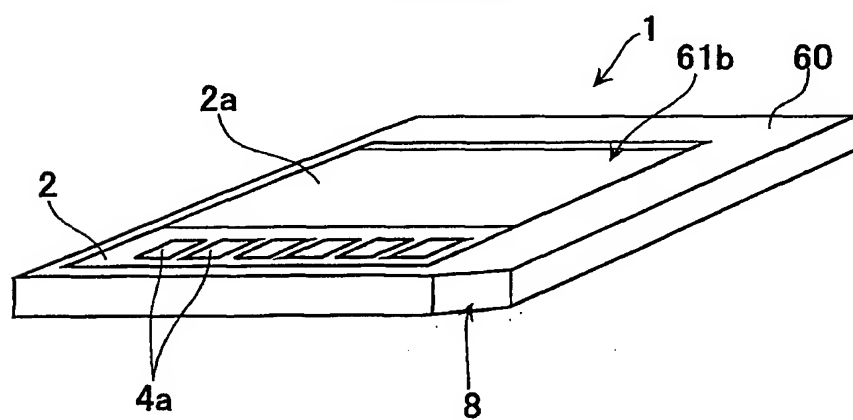


FIG.29

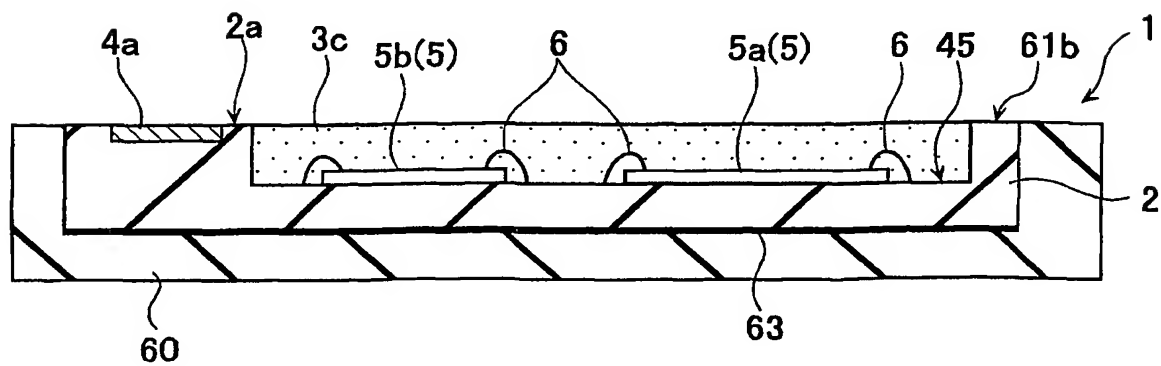


FIG.30

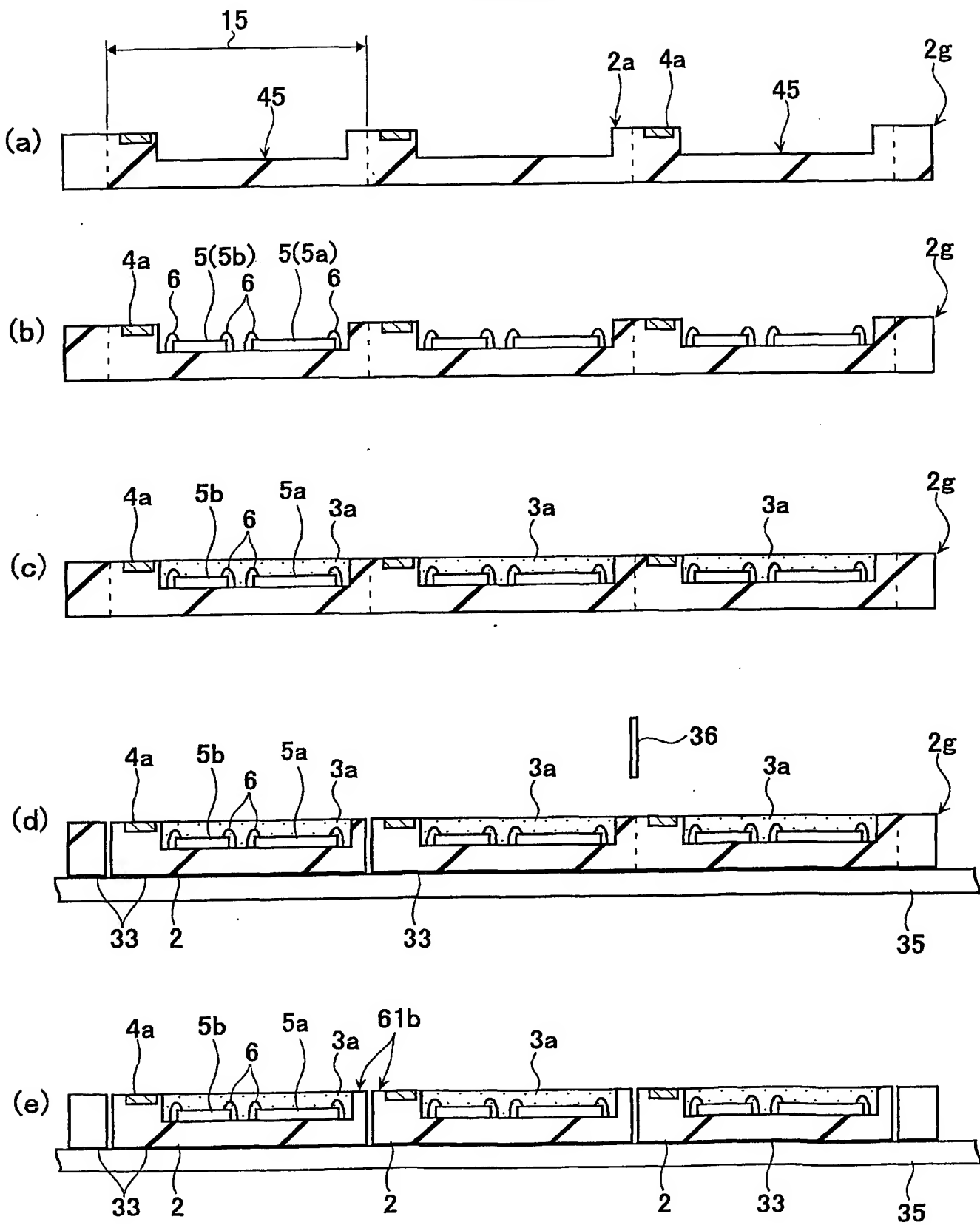


FIG.31

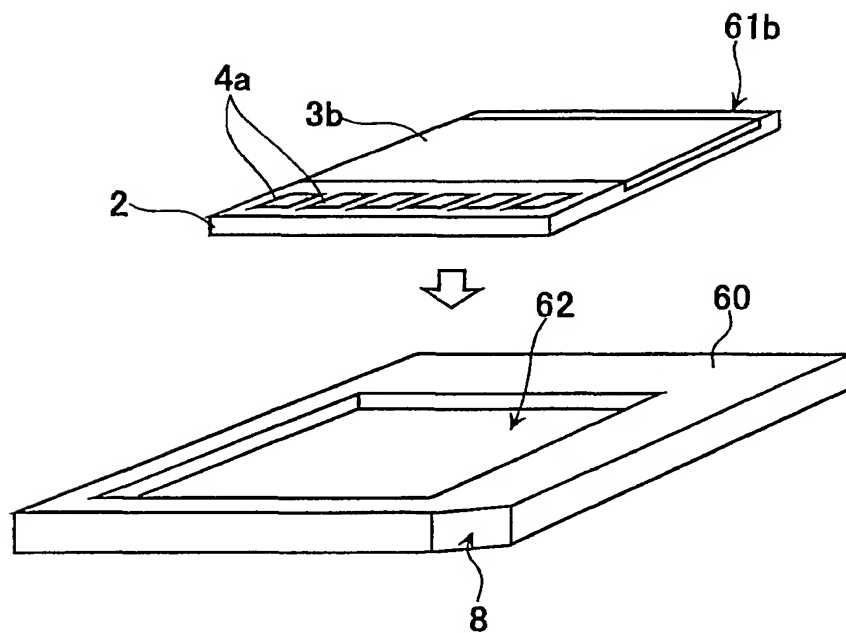
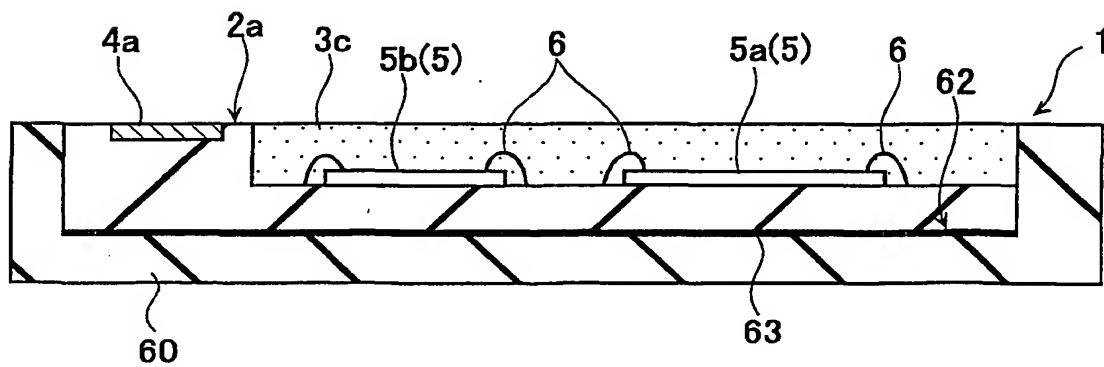


FIG.32



19/27

FIG.33

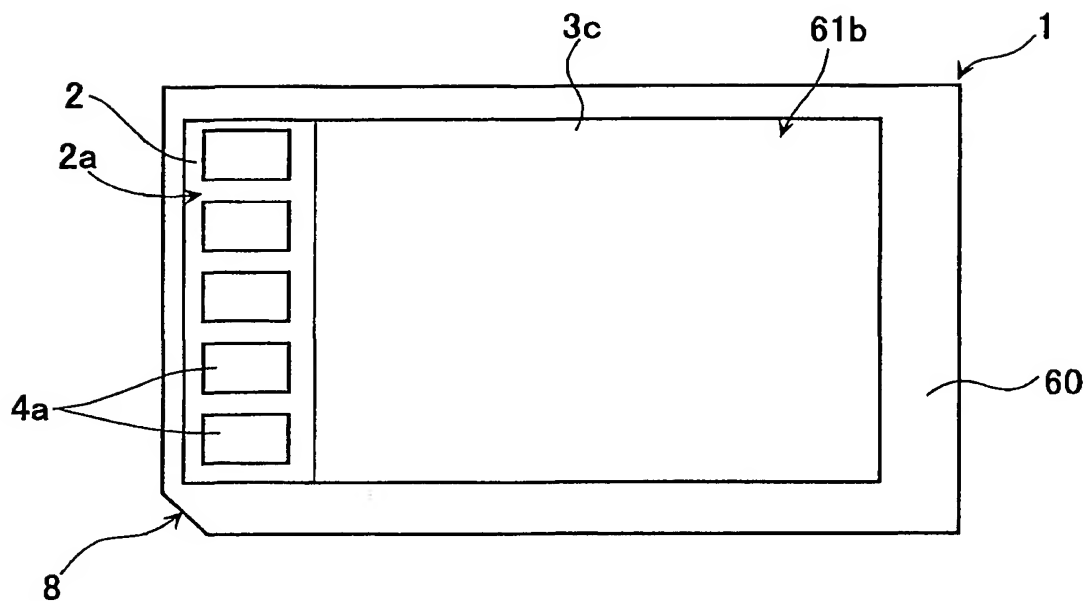
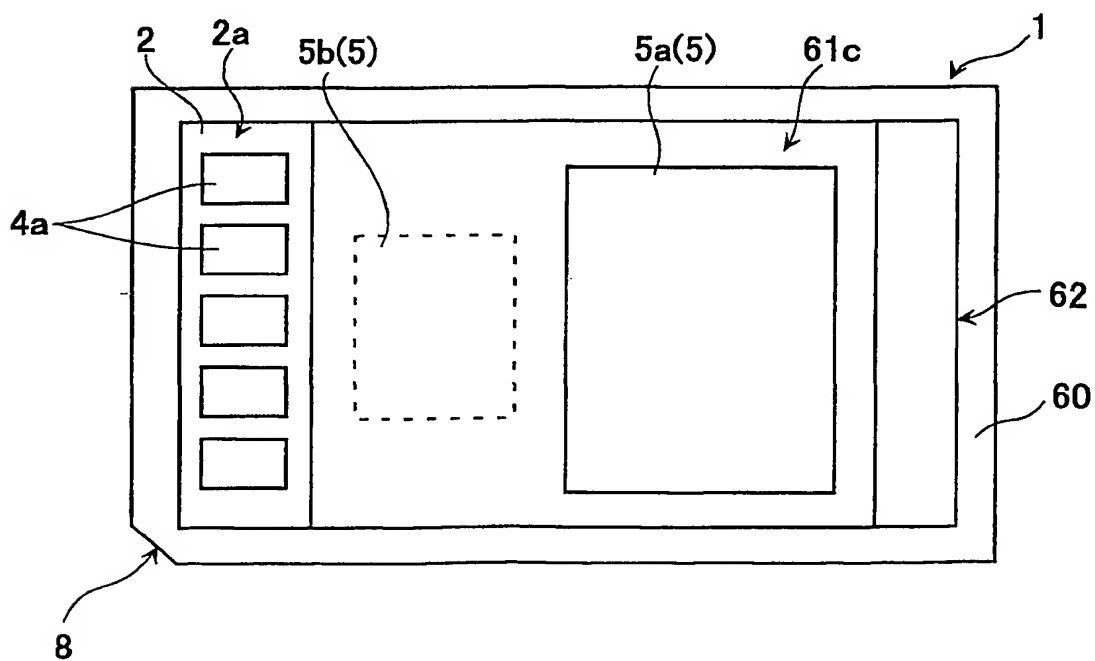


FIG.34



20/27

FIG.35

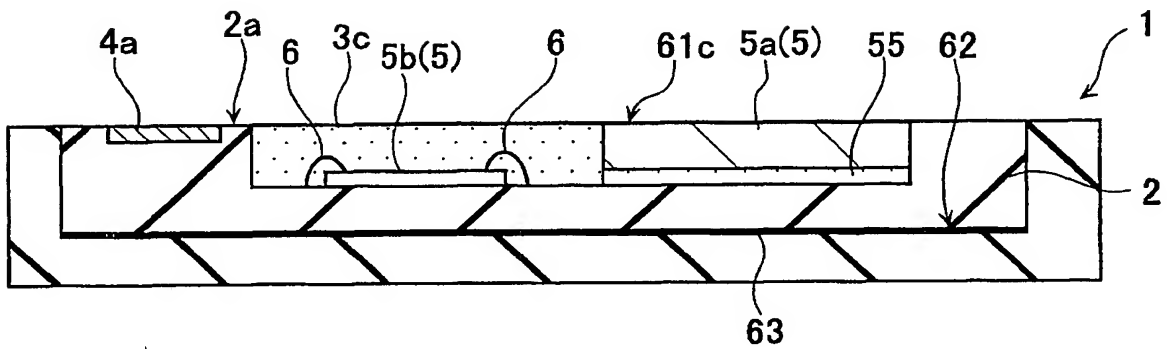


FIG.36

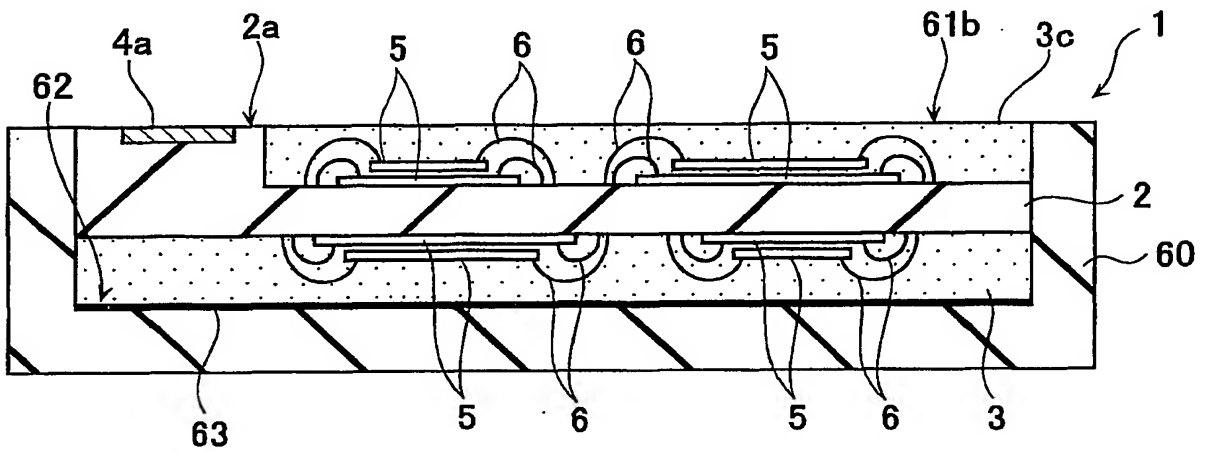


FIG.37

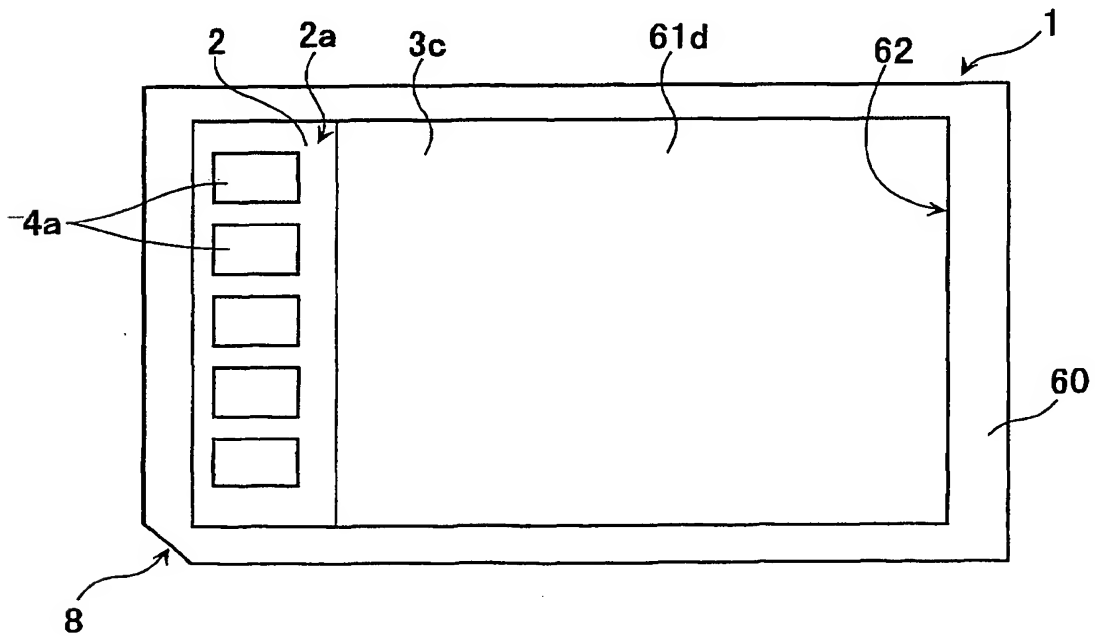
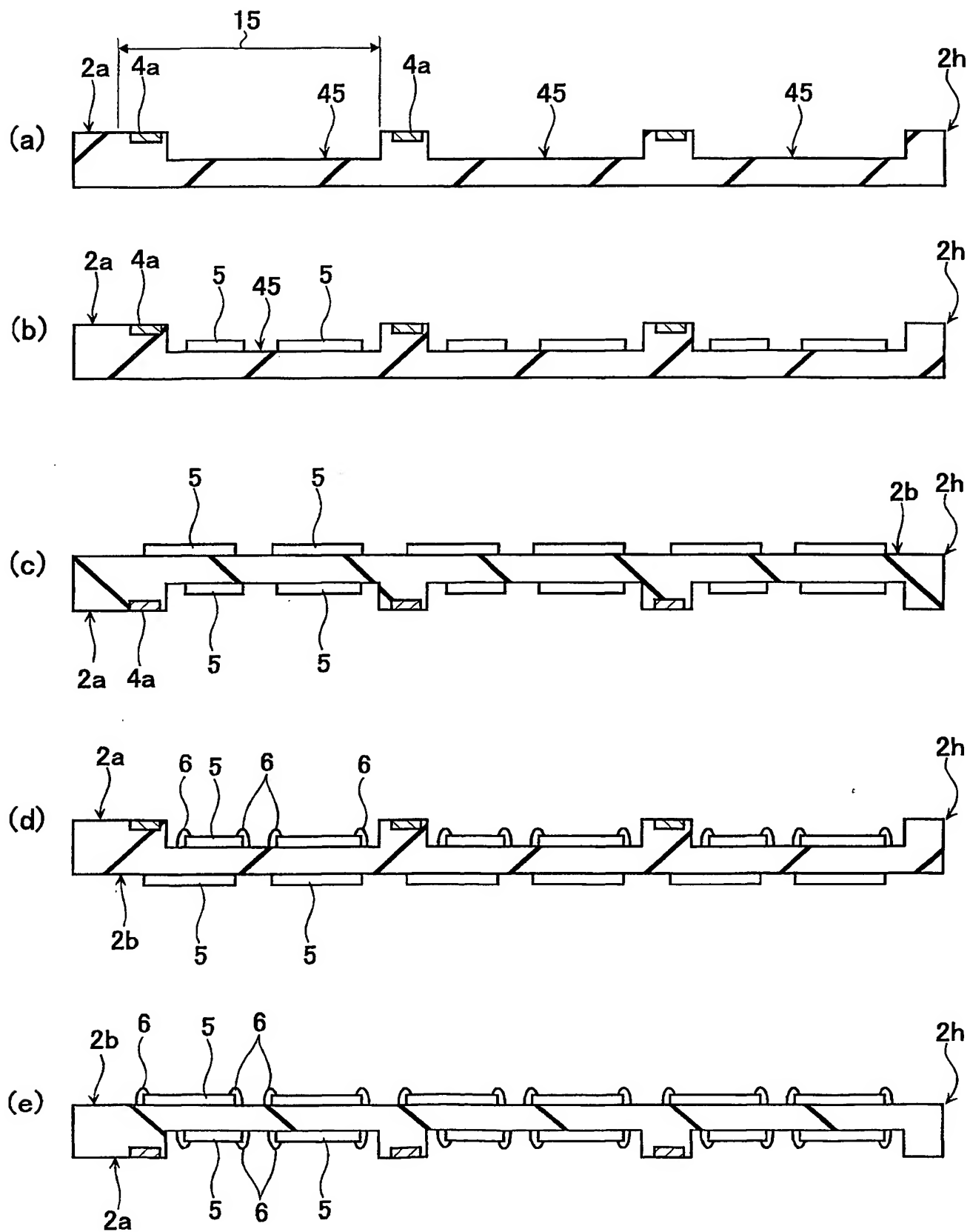


FIG.38



22/27

FIG.39

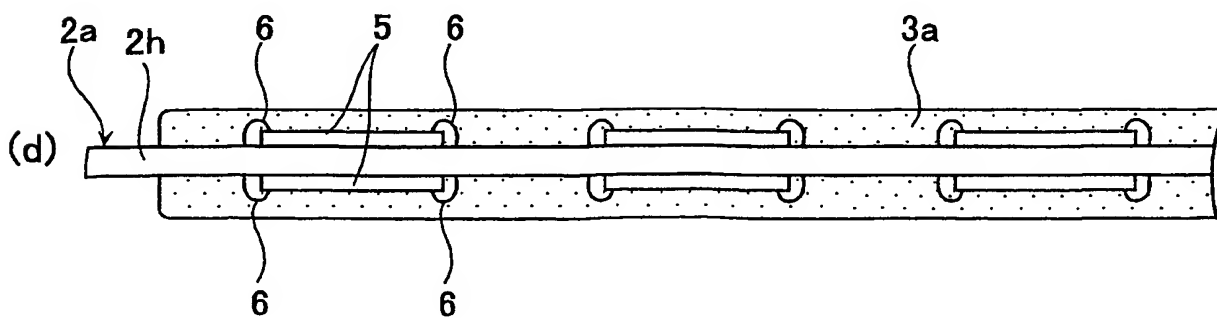
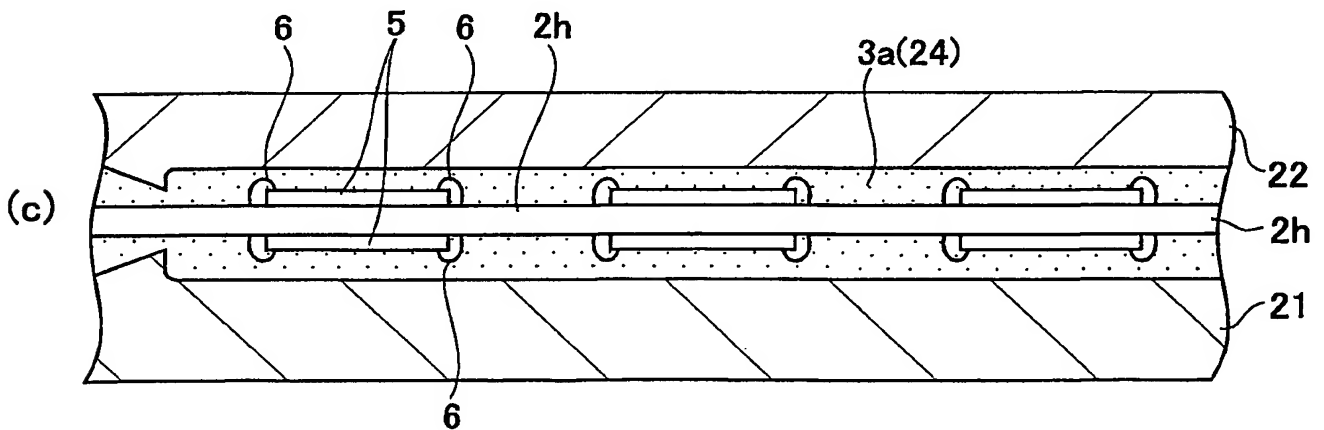
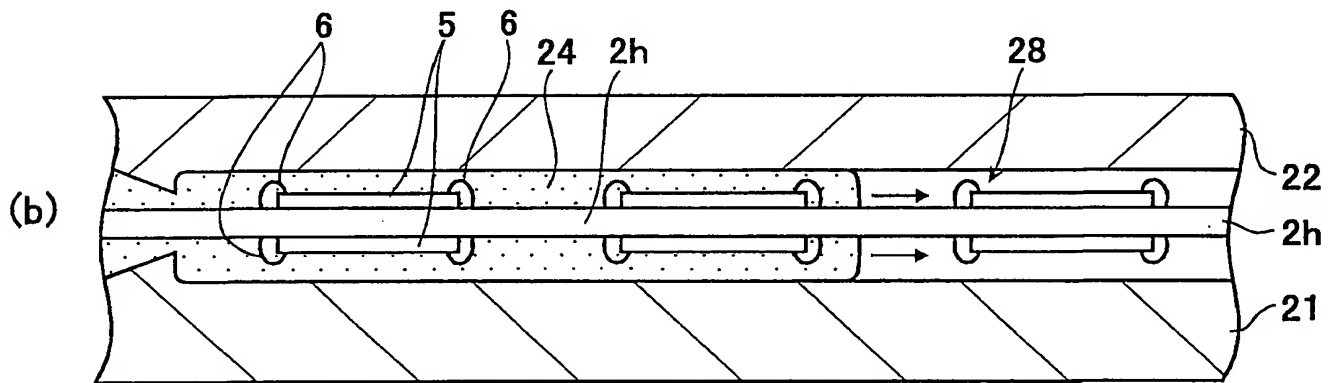
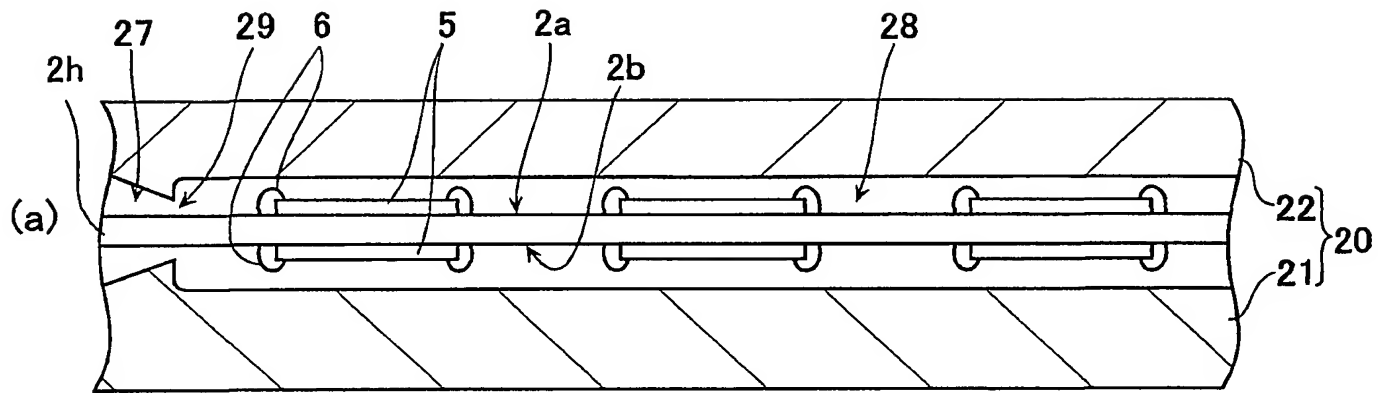


FIG.40

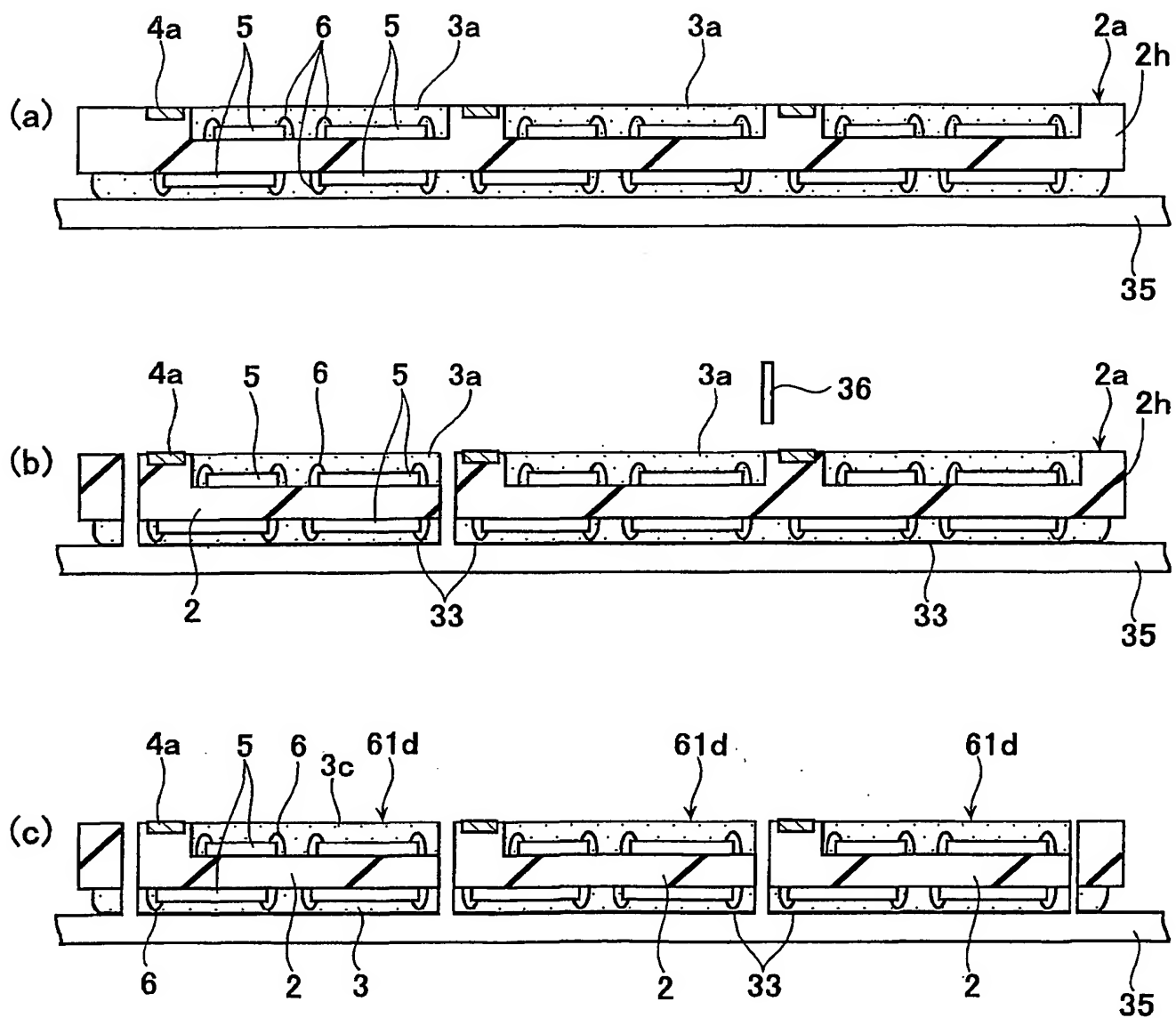


FIG.41

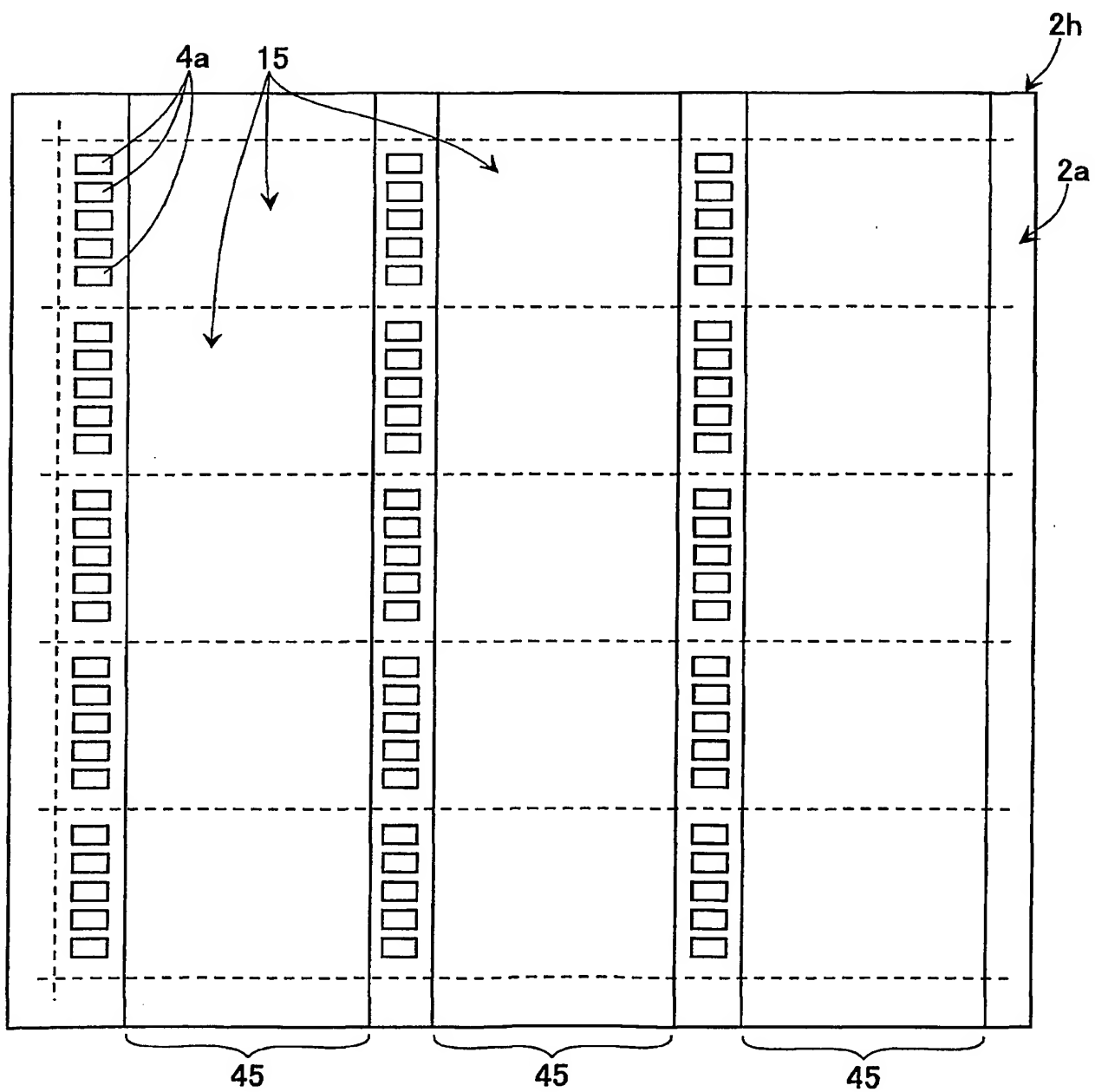


FIG.42

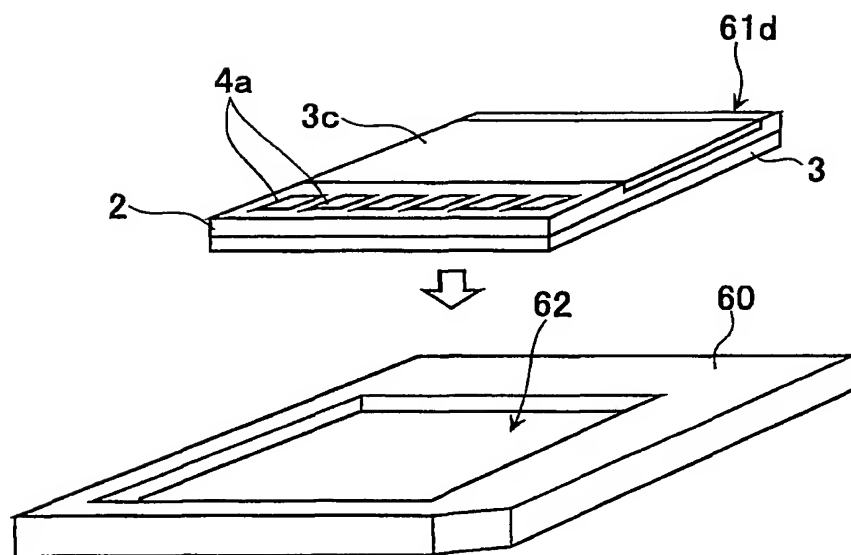


FIG. 43

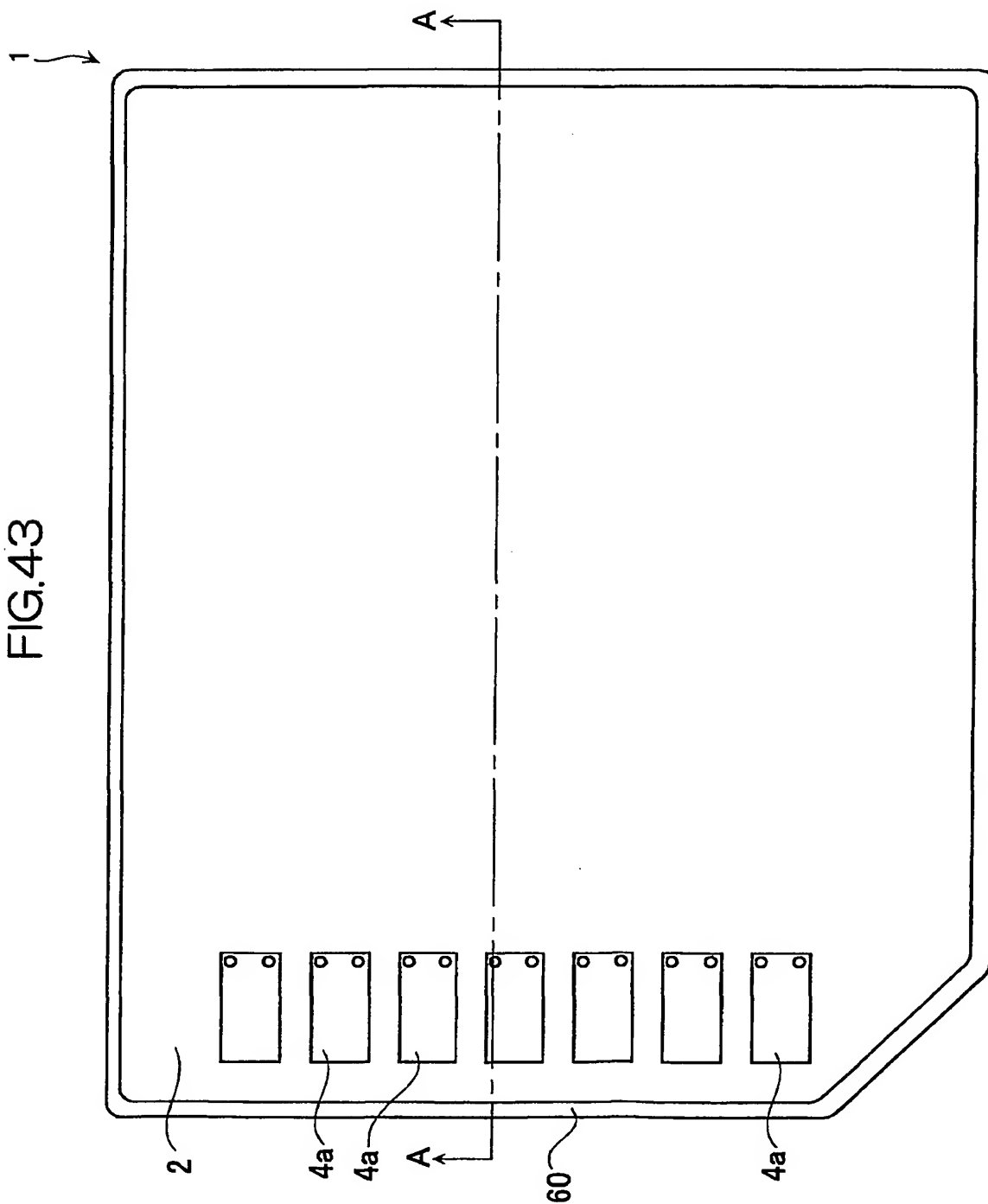
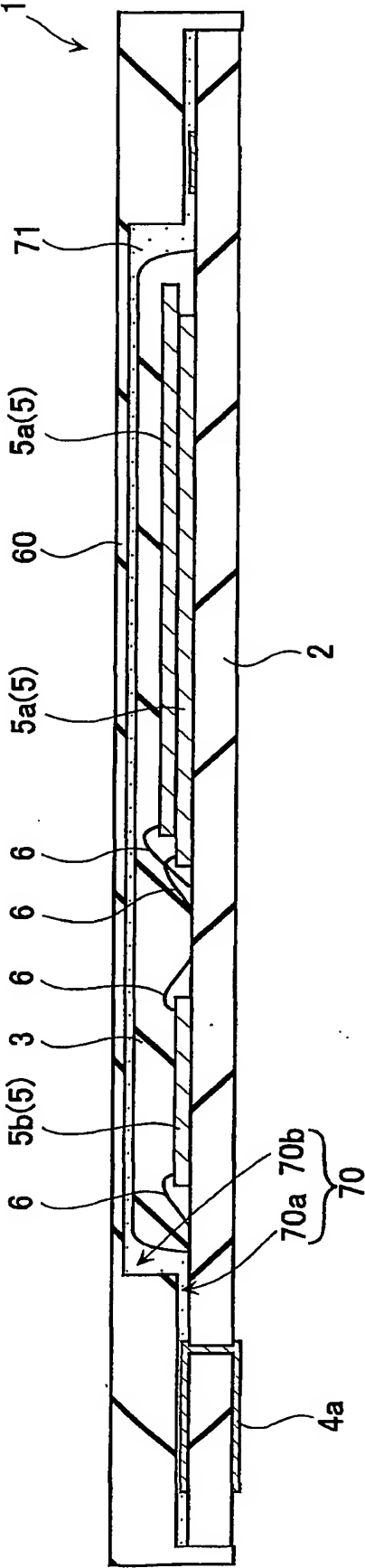


FIG.44



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/00536

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G06K19/077

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G06K19/00-19/18, B42D15/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 63-120694 A (Seiko Keiyo Kogyo Kabushiki Kaisha), 25 May, 1988 (25.05.88), Full text; all drawings (Family: none)	1-51
A	JP 3-138967 A (Mitsubishi Electric Corp.), 13 June, 1991 (13.06.91), Full text; all drawings (Family: none)	5, 22, 27
A	JP 2000-123141 A (Hitachi Maxell, Ltd.), 28 April, 2000 (28.04.00), Full text; all drawings (Family: none)	19-23, 24-28, 29-31, 33-35, 37-38, 40-41, 43, 46, 49

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

 Date of the actual completion of the international search
14 May, 2002 (14.05.02)

 Date of mailing of the international search report
28 May, 2002 (28.05.02)

 Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/00536

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 8-332790 A (Mitsubishi Plastics, Inc.), 17 December, 1996 (17.12.96), Full text; all drawings (Family: none)	8, 9, 13, 15, 24, 33, 40

A. 発明の属する分野の分類 (国際特許分類 (IPC))

IntCl⁷ G06K19/077

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

IntCl⁷ G06K19/00-19/18
B42D15/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案広報	1926-1996年
日本国公開実用新案広報	1971-2002年
日本国登録実用新案広報	1994-2002年
日本国実用新案登録広報	1996-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 63-120694 A(セイコー工業株式会社) 1988. 05. 25, 全文, 全図 (ファミリーなし)	1-51
A	JP 3-138967 A(三菱電機株式会社) 1991. 06. 13, 全文, 全図 (ファミリーなし)	5, 22, 27
A	JP 2000-123141 A(日立マクセル株式会社) 2000. 04. 28, 全文, 全図 (ファミリーなし)	19-23, 24-28, 29-31, 33-35, 37-38, 40-41, 43, 46, 49

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

14. 05. 02

国際調査報告の発送日

28.05.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

奥村 元宏

5N

8022

電話番号 03-3581-1101 内線 3545

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 8-332790 A(三菱樹脂株式会社) 1996. 12. 17, 全文, 全図 (ファミリーなし)	8, 9, 13, 15, 24, 33, 40